

520.43599X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Masatada HORIUCHI, et al

Serial No.:

Filed: March 3, 2004

Title: SEMICONDUCTOR DEVICE AND MANUFACTURING  
METHOD THEREOF

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

March 3, 2004

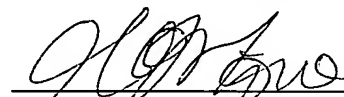
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s)  
hereby claim(s) the right of priority based on Japanese Patent Application No.(s)  
2003-160431 filed June 5, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone  
Registration No. 28,141

GEM/nac  
Attachment  
(703) 312-6600

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    6 月    5 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 6 0 4 3 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 6 0 4 3 1 ]

出      願      人  
Applicant(s):                      株式会社日立製作所  
  株式会社日立超エル・エス・アイ・システムズ

2 0 0 4 年    2 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 8 6 5 2

【書類名】 特許願

【整理番号】 NT03P0236

【提出日】 平成15年 6月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 堀内 勝忠

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 島 明生

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 高濱 高

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

## 【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

## 【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板表面上の所定領域に設けられた半導体膜からなるゲート部と、  
前記半導体膜をマスクとして、前記半導体基板の内部に選択的に不純物を導入することにより形成された不純物導入層からなるソース・ドレイン領域とを含む半導体装置において、

レーザー光の照射により、前記ゲート部およびゲート部直下の領域は溶融化されず、前記不純物導入層は溶融化され、再固相化された層からなることを特徴とする半導体装置。

【請求項 2】

半導体基板表面上の所定領域に設けられた半導体膜からなるゲート部と、  
前記半導体膜をマスクとして、前記半導体基板の内部に選択的に不純物を導入することにより形成された不純物導入層からなるソース・ドレイン領域とを含む半導体装置において、

前記不純物導入層は、前記半導体基板の主表面に直交する少なくとも一断面において矩形高濃度不純物分布を有する不純物層からなることを特徴とする半導体装置。

【請求項 3】

半導体基板中に形成された第 1 導電型を有する第 1 領域と、  
前記第 1 領域に隣接して設けられた第 2 導電型を有する第 2 領域と、  
前記第 1 領域上の所定領域に設けられた半導体膜からなるゲート部と、  
前記半導体膜をマスクとして、前記第 1 領域に選択的に第 2 導電型を有する不純物を導入することにより形成された第 1 の不純物導入層からなるソース・ドレイン領域と、

前記第 2 領域上の所定領域に設けられた半導体膜からなるゲート部と、  
前記半導体膜をマスクとして、前記第 2 領域に選択的に第 1 導電型を有する不純物を導入することにより形成された第 2 の不純物導入層からなるソース・ドレ

イン領域とを含む半導体装置において、

前記第 1 及び第 2 の不純物導入層は、前記半導体基板の主表面に直交する少なくとも一断面において矩形高濃度不純物分布を有する不純物層からなることを特徴とする半導体装置。

**【請求項 4】**

前記半導体基板は、絶縁膜上に載置されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

**【請求項 5】**

絶縁ゲート型電界効果トランジスタとバイポーラ型トランジスタが同一半導体基板上に形成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

**【請求項 6】**

前記ソース・ドレイン領域と前記領域を電氣的に接続する電極との間に半導体膜、シリコン珪化膜あるいは金属膜の内の少なくとも 1 種類の膜が存在していることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

**【請求項 7】**

半導体基板表面上の所定領域に半導体膜を設ける工程と、

前記半導体膜をマスクとして不純物を前記半導体基板内部に選択的に導入することにより不純物導入層を形成する工程と、

前記半導体膜に隣接して前記不純物導入層上に所定の波長を有するレーザー光に対して前記レーザー光のエネルギーを吸収するレーザーエネルギー吸収膜を設ける工程とを備え、

前記レーザー光を照射することにより前記不純物導入層を溶融し、再固相化することを特徴とする半導体装置の製造方法。

**【請求項 8】**

半導体基板表面上の所定領域に半導体膜を設ける工程と、

前記半導体膜をマスクとして不純物を前記半導体基板内部に選択的に導入することにより不純物導入層を形成する工程と、

前記半導体膜に隣接して前記不純物導入層上に所定の波長を有するレーザー光

に対して前記レーザー光のエネルギーを吸収するレーザーエネルギー吸収膜を設ける工程と、

前記半導体膜および前記レーザーエネルギー吸収膜上に堆積された反応防止膜を介して反射防止膜を設ける工程とを備え、

前記反射防止膜に対して、前記レーザー光を照射することにより前記不純物導入層を溶融し、再固相化することを特徴とする半導体装置の製造方法。

**【請求項 9】**

前記半導体基板は、絶縁膜上に形成されていることを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置の製造方法。

**【請求項 10】**

前記レーザー光は、前記半導体膜を透過したレーザー光の相対光強度が前記半導体基板内部において  $e^{-2}$  まで減衰する深さが、前記不純物導入層の深さより深くなるような波長を有することを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置の製造方法。

**【請求項 11】**

前記不純物導入層の形成工程から前記レーザー光を照射する工程までの間に設けられた製膜工程は、前記不純物導入層の非晶質化した領域が再結晶化しない程度の熱処理温度に設定されていることを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置の製造方法。

**【請求項 12】**

前記レーザーエネルギー吸収膜は、金属積層膜であることを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置の製造方法。

**【請求項 13】**

前記反射防止膜は、前記レーザーエネルギー吸収膜を前記半導体膜の膜厚まで研磨し、平坦化された膜上に形成されていることを特徴とする請求項 8 に記載の半導体装置の製造方法。

**【請求項 14】**

前記反射防止膜は、多結晶膜であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

**【請求項 15】**

前記反射防止膜は、その膜厚が前記レーザーエネルギー吸収膜中におけるレーザー光のエネルギー吸収率が最大となるように設定されていることを特徴とする請求項 8 に記載の半導体装置の製造方法。

**【請求項 16】**

照射レーザー光の波長を  $\lambda$  とし、反射防止膜の屈折率を  $n$  と定義すると、前記反射防止膜のソース拡散層上における垂直方向膜厚は、レーザーエネルギー吸収膜における照射レーザーエネルギー吸収率が最大となる膜厚のうちで最小のものに対して  $\lambda / (2n)$  だけ厚い膜厚に設定されたことを特徴とする請求項 8 に記載の半導体装置の製造方法。

**【請求項 17】**

半導体基板上に設けられたゲート絶縁膜を介してゲート電極およびゲート保護膜を積層してなるゲート部を形成する工程と、

前記ゲート部をマスクとして第 1 の導電性を有する不純物を前記半導体基板内部に選択的に導入することにより浅い接合を有する第 1 の不純物拡散層を形成する工程と、

前記ゲート部の側壁に絶縁膜を選択的に残置し、ゲート側壁絶縁膜を形成する工程と、

前記ゲート部および前記ゲート側壁絶縁膜を導入マスクとして第 1 の導電性を有する不純物を前記第 1 の不純物拡散層の一部と重なるように導入し、深い接合を有する第 2 の不純物拡散層を形成する工程と、

A1 を含む材料または A1 及びシリコン窒化膜を含む材料からなる第 1 絶縁膜を前記半導体基板上の全面に堆積する工程と、

前記ゲート部よりも厚い膜厚を有する第 2 絶縁膜を堆積する工程と、

前記第 2 絶縁膜の表面を前記ゲート保護膜が露出するまで平坦化する工程と、

前記ゲート側壁絶縁膜を含むゲート部上および前記第 2 の不純物拡散層上に堆積された前記第 2 絶縁膜を除去し、前記第 1 絶縁膜を露出させる工程と、

前記第 1 絶縁膜を除去し、前記第 2 の不純物拡散層表面の一部が露出するように開口部を形成する工程と、



前記開口部上に所定の波長を有するレーザー光に対して前記レーザー光のエネルギーを吸収するレーザーエネルギー吸収膜を選択的に設ける工程と、

前記レーザーエネルギー吸収膜上にレーザー光反射防止膜を被覆する工程と、

前記レーザー光反射防止膜上にレーザー光を照射し、前記第1および前記第2の不純物拡散層を溶融し、再固相化する工程とを有することを特徴とする半導体装置の製造方法。

#### 【請求項18】

半導体基板上に設けられたゲート絶縁膜を介してゲート電極およびゲート保護膜を積層してなるゲート部を形成する工程と、

前記ゲート部をマスクとして第1の導電型を有する不純物を前記半導体基板内部に選択的に導入することにより浅い接合を有する第1の不純物拡散層を形成する工程と、

前記ゲート部の側壁に絶縁膜を選択的に残置し、ゲート側壁絶縁膜を形成する工程と、

A1を含む材料またはA1及びシリコン窒化膜を含む材料からなる第1絶縁膜を前記半導体基板上の全面に堆積する工程と、

前記ゲート部よりも厚い膜厚を有する第2絶縁膜を堆積する工程と、

前記第2絶縁膜の表面を前記ゲート保護膜が露出するまで平坦化する工程と、

前記ゲート側壁絶縁膜を含むゲート部上および前記不純物拡散層上に堆積された前記第2絶縁膜を除去し、前記第1絶縁膜を露出させる工程と、

前記第1絶縁膜を除去し、前記第1の不純物拡散層表面の一部が露出するように開口部を形成する工程と、

前記開口部上に所定の波長を有するレーザー光に対して前記レーザー光のエネルギーを吸収するレーザーエネルギー吸収膜を選択的に設ける工程と、

前記レーザーエネルギー吸収膜上にレーザー光反射防止膜を被覆する工程と、

前記レーザー光反射防止膜上にレーザー光を照射し、前記第1の不純物拡散層を溶融し、再固相化する工程と

前記レーザーエネルギー吸収膜とレーザー光反射防止膜を選択的に除去することにより、前記第1の不純物拡散表面が露出するように開口部を設け、前記開口

部にシリコン膜を選択的に残置する工程と、

前記シリコン膜の一部を珪化する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 19】

前記半導体基板は、絶縁膜上に形成されていることを特徴とする請求項 17 又は 18 の何れかに記載の半導体装置の製造方法。

【請求項 20】

前記第 1 の不純物拡散層を形成する工程から前記再固相化する工程までの間に設けられた製膜工程の熱処理温度は、前記第 1 および第 2 の不純物拡散層の非晶質化層の少なくとも一部が結晶化しない程度の温度であることを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 21】

前記第 1 の不純物拡散層を形成する工程から前記再固相化する工程までの間に設けられた製膜工程の熱処理温度は、400℃を超えない温度であることを特徴とする請求項 17 又は 18 に記載の半導体装置の製造方法。

【請求項 22】

前記レーザーエネルギー吸収膜は、金属積層膜であることを特徴とする請求項 17 又は 18 の何れかに記載の半導体装置の製造方法。

【請求項 23】

前記レーザー光は、波長 1064 nm を有する固体レーザーからの照射光であることを特徴とする請求項 7 又は 8 のいずれかに記載の半導体装置の製造方法。

【請求項 24】

前記反射防止膜は、Si 膜、Ge 膜、又は SiGe 混合膜であることを特徴とする請求項 17 又は 18 の何れかに記載の半導体装置の製造方法。

【請求項 25】

照射レーザー光の波長を  $\lambda$  とし、反射防止膜の屈折率を  $n$  と定義すると、前記反射防止膜のソース拡散層上における垂直方向膜厚は、レーザーエネルギー吸収膜における照射レーザーエネルギー吸収率が最大となる膜厚のうちで最小のもの

に対して $\lambda/(2n)$ だけ厚い膜厚に設定されたことを特徴とする請求項17又は18の何れかに記載の半導体装置の製造方法。

【請求項26】

バイポーラトランジスタが混載された半導体基板において、

前記第1および第2不純物拡散層の表面が露出するように形成された開口部が、前記バイポーラトランジスタのエミッタ引出し電極領域にも設けられ、

前記第1および第2不純物拡散層と前記バイポーラトランジスタのエミッタ引出し電極領域との開口部に、前記レーザーエネルギー吸収膜を選択的に残置することにより、

前記レーザー光の照射により前記第1および第2不純物拡散層と前記エミッタ引出し電極領域が一括して活性化熱処理されることを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項27】

前記レーザーエネルギー吸収膜を選択的に残置した開口部において前記レーザー光の照射によって前記第1および第2不純物拡散層の活性化熱処理が施され、前記レーザーエネルギー吸収膜が残置されていないゲート電極を含む領域においては活性化熱処理が施されないことを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項28】

バイポーラトランジスタおよびIGFETが混載された半導体基板において、

IGFET形成予定領域に形成されたゲート電極とバイポーラ形成予定領域に形成されたエミッタ引出し電極に高濃度不純物を添加し、前記ゲート電極および前記エミッタ引出し電極に対して高温短時間熱処理を施して活性化を行なう工程と、

前記IGFET形成予定領域において、

前記ゲート電極をイオン注入マスクとして前記半導体基板に第1および第2不純物拡散層を形成する工程と、

前記ゲート電極および前記エミッタ引出し電極を含む領域を覆うように保護膜を堆積する工程と、

前記第 1 および第 2 不純物拡散層の表面が露出するように前記保護膜を選択的に除去し開口部を形成する工程と、

前記開口部に前記レーザーエネルギー吸収膜を選択的に残置する工程と、

前記レーザー光の照射により前記第 1 および第 2 不純物拡散層を活性化熱処理する工程とを有することを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

#### 【請求項 2 9】

前記レーザー光の照射により活性化すべき不純物拡散領域を複数有し、  
前記半導体基板の表面上における前記不純物拡散領域の面積を異にする場合、

前記複数の不純物拡散領域に対して前記面積に相応した照射条件で、前記不純物拡散領域が少なくとも 1 回以上レーザー光照射されることを特徴とする請求項 1 7 又は 1 8 の何れかに記載の半導体装置の製造方法。

#### 【請求項 3 0】

前記シリコン膜は、コリメータ・スパッタ法、遠隔スパッタ法、触媒化学気相反応法、或いはイオン化蒸着法の何れかの方法により形成されたことを特徴とする請求項 1 8 に記載の半導体装置の製造方法。

#### 【請求項 3 1】

前記シリコン膜は、前記開口部の露出された半導体基板表面上に、選択的に堆積されることを特徴とする請求項 1 8 に記載の半導体装置の製造方法。

#### 【請求項 3 2】

半導体基板上に設けられたゲート絶縁膜を介してゲート電極およびゲート保護膜を積層してなるゲート部を形成する工程と、

前記ゲート部をマスクとして第 1 の導電型を有する不純物を前記半導体基板内部に選択的に導入することにより浅い接合を有する第 1 の不純物拡散層を形成する工程と、

前記ゲート部の側壁に絶縁膜を選択的に残置し、ゲート側壁絶縁膜を形成する工程と、

前記ゲート部および前記ゲート側壁絶縁膜を導入マスクとして第 1 の導電型を有する不純物を前記第 1 の不純物拡散層の一部と重なるように導入し、深い接合

を有する第2の不純物拡散層を形成する工程と、

A1を含む材料またはA1及びシリコン窒化膜を含む材料からなる第1絶縁膜を前記半導体基板上の全面に堆積する工程と、

前記ゲート部よりも厚い膜厚を有する第2絶縁膜を堆積する工程と、

前記第2絶縁膜の表面を前記ゲート保護膜が露出するまで平坦化する工程と、

前記ゲート側壁絶縁膜を含むゲート部上および前記第2の不純物拡散層上に堆積された前記第2絶縁膜を除去し、前記第1絶縁膜を露出させる工程と、

前記第1絶縁膜を除去し、前記第2の不純物拡散層表面の一部が露出するように開口部を形成する工程とを有することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、単結晶半導体基板又は絶縁膜上の半導体薄膜に設けられた絶縁ゲート型電界効果トランジスタの拡散層の低抵抗、極浅接合化及び超微細化によるトランジスタ高性能化及び超微細化に関わる。

##### 【0002】

#### 【従来の技術】

本発明に関する従来技術としては、絶縁ゲート型電界効果トランジスタ（以下にIGFETと記する）のソース及びドレイン拡散層に対するコンタクト形成技術があり、特にゲート電極に対する自己整合コンタクト形成に関する技術がある。ゲート電極端から一定間隔を維持した状態でソース、ドレイン拡散層への電極接続を可能とする自己整合コンタクト技術は公知である。この技術はコンタクト孔を開くべき配線層間絶縁膜材料のエッチングにおいて、最適なゲート電極側壁絶縁膜材料を選択することにより、コンタクト孔領域がゲート電極に重畳されるときマスクずれに対してもゲート電極側壁絶縁膜により保護し、これによりゲート電極とソース及びドレイン電極間の短絡を生じさせない様にする技術である。

##### 【0003】

従来の自己整合コンタクト形成においてはゲート側壁絶縁膜としてシリコン窒化膜を、コンタクト孔を開口すべき配線層間絶縁膜としてシリコン酸化膜を用いていたが、両者におけるエッチング速度の違いはせいぜい5から6倍の差しかなく、ゲート側壁絶縁膜が十分な厚さを有しないIGFET構造においてはシリコン窒化膜の削れを無視できない故に、ゲート電極との短絡を解消することができなかった。

#### 【0004】

また、本発明に関する他の従来技術としては、IGFETの微細化・高集積化に伴うソース・ドレイン拡散層の浅接合化に関するものがある。ソース・ドレイン拡散層の浅接合化への要求は厳しく、ゲート長が30nm以下の超微細IGFETの実用化には接合深さが10nm程度と極浅接合で低抵抗化の実現が求められている。上記のゲート長および接合深さの値は、従来のイオン注入とその後の1秒程度の短時間高温熱処理工程では不純物拡散が無視できず、実現不可能である。更なる極短時間熱処理として数十ナノ秒程度のパルス幅を有するレーザー光照射等による熱処理の実用化が求められている。レーザー光照射では照射エネルギー吸収深さを極表面領域に限定できるため、ソース・ドレイン表面領域のみを選択的に溶融化し、下地単結晶領域への熱拡散を最小限に抑制するとき超高温・極短時間加熱も可能である。

#### 【0005】

従って、溶融化状態ではソース・ドレイン拡散層を構成する高濃度不純物の固溶度も飛躍的に上昇できるために極浅接合にも拘らず、低抵抗化も併せて期待できる。更に、溶融化状態における不純物の拡散速度は固相拡散に比べて8桁以上も速いことからソース・ドレイン接合を極浅接合であって矩形不純物濃度分布とすることも原理的には可能で、IGFETのパンチスルー漏洩電流の低減化、更なる微細化、従って高集積化も可能にする。

#### 【0006】

レーザー光照射を用いた熱処理方法は公知であり、例えば図2の断面図に示す如く超微細IGFETにおける浅接合ソース、ドレイン拡散層の活性化熱処理として提案されている。図2において、単結晶シリコン(Si)基板1上に薄いゲ

ート絶縁膜 3 を介して構成されたゲート電極 4 を注入阻止マスクとし、イオン注入法により Si 基板 1 主表面領域に高濃度不純物注入領域 5 及び 5 2 が構成されている。該高濃度不純物注入領域 5 及び 5 2 を主表面側から保護絶縁膜 6 5 を介するレーザー光照射により加熱、或いは選択的熔融化により単結晶化と注入不純物の活性化を実施する。レーザー光照射領域はトランジスタ領域に比べてはるかに広いため、ゲート電極 4 部分へのレーザー光照射が避けられず、通常多結晶 Si 膜で構成されるゲート電極 4 も加熱される。ゲート電極 4 は素子間分離絶縁膜上にも延在しており、多結晶 Si 膜が局部的に熔融される状況ではゲート電極で吸収された熱が素子間分離絶縁膜のために下地基板へ放出され難く、熔融、又は蒸発、更にはパターン崩れ等の不良が発生する問題がある。図 2 に示される公知例（例えば、特許文献 1 を参照）においてはゲート電極 4 へ到達するレーザー光の強度を選択的に減少させるため保護絶縁膜 6 5 と同一の光学定数を有するゲート保護絶縁膜 4 4 を重畳させている。通常、Si 基板 1 主表面領域における高濃度不純物注入層の活性化、単結晶化には 308 nm 波長を有する XeCl レーザー、又は 248 nm 波長の KrF レーザーのごとき気体レーザーを用いている。一般に物質に照射された光が減衰する深さ、相対光強度が  $e^{-2}$  になる深さ  $\Gamma$ 、は  $\Gamma = \lambda / 2\pi k$  で表される。ここで  $\lambda$  はレーザー光の波長、 $k$  は物質の光学定数の虚数値である。非晶質化された Si の波長 308 nm における  $k$  は約 3.06 である。従って  $\Gamma$  は約 16 nm と極めて浅く、深部への浸透は無視できるため、Si 基板 1 の表面のみの加熱され、エネルギー強度によっては熔融化される。上記レーザー光はパルス的に照射されるが、通常数十 ns 程度と極めて短いため、熔融化領域は瞬間的に固相結晶化し、深部への熱拡散は無視できる。Si 基板上の保護絶縁膜 6 5 及びゲート保護絶縁膜 4 4 がシリコン酸化膜で構成される場合、反射率は膜厚依存性を有し、上記波長のレーザー光においては膜厚 = 0、及び 105 nm 近傍で 0.6、45 nm 近傍で最小値となる約 0.3 程度となる。即ち、活性化処理が要求される該高濃度不純物注入領域 5 及び 5 2 の上部では 45 nm の保護絶縁膜 6 5 となるようにし、レーザー光照射エネルギーを低下させたいゲート電極 4 上ではゲート保護絶縁膜 4 4 と保護絶縁膜 6 5 の合計膜厚が 105 nm となるように構成する。これにより反射率の相対的増加がゲート電極 4 上で

達成され、ゲート電極での温度上昇をある程度低減することができる。然しながら、上記に示すゲート保護絶縁膜 4 4 および保護絶縁膜 6 5 からなる堆積膜構成において、ゲート電極 4 端部に着目した場合、保護絶縁膜 6 5 の垂直方向膜厚はゲート高さに依存し、ゲート電極端部直下のイオン注入非晶質化層で吸収されるレーザーエネルギー強度は平坦基板の他領域に比べて低下される。従来はレーザー加熱処理法の普及が進んでいないこともあり、この下地形状依存性は問題化するに至っていなかった。

#### 【0 0 0 7】

##### 【特許文献1】

特開平 6 - 5 5 3 6 号公報

#### 【0 0 0 8】

##### 【発明が解決しようとする課題】

本発明の第 1 の課題はソース、ドレイン電極引出しに関し、ゲート電極と自己整合の関係で形成する所謂自己整合コンタクトを薄いゲート電極側壁絶縁膜に対しても可能とし、半導体装置の微細化、大集積化を可能とすることにある。特に、ゲート電極の微細化に伴い、ゲート電極の高さも低下する状況においても自己整合コンタクト構造の適用を可能とする方法を提供することにある。

#### 【0 0 0 9】

本発明の第 2 の課題はレーザー光照射におけるレーザー光強度の被照射体形状依存性を解消することである。ゲート電極端直下のソース・ドレイン拡散層部も平坦領域における拡散層と同等の熱処理効果が保証されなければいけない。下地形状の影響に関する更なる問題点は例えば NAND ゲートと称される論理回路を構成する半導体装置において深刻である。NAND ゲートにおいてはゲート電極が入力信号の数だけ製造技術に基づく最小の線間隔で通常配置されており、最小の線間隔で配置されたゲート電極間の拡散層領域上も上記堆積膜の垂直方向膜厚はゲート電極 4 高さでゲート保護膜 4 4 膜厚の和の分だけ他平坦領域上より厚くなり、レーザー光吸収に関する光学的最適膜厚から外れてしまう問題が生じる。

#### 【0 0 1 0】

図 2 を例に説明する。図において 4 5 nm 厚の保護絶縁膜 6 5 はゲート電極 4



の側壁部において垂直方向膜厚はゲート電極 4 高さとゲート保護絶縁膜 44 の和により決定され、45 nm 厚ではあり得ない。従って、保護絶縁膜 65 の膜厚 45 nm の距離分だけゲート電極 4 端部の半導体基板表面では到達し得るレーザー光照射の相対強度がゲート電極高さに依存して減衰される。即ち、トランジスタのソース直列抵抗、即ち大電流化を律する制限する成分、で深い拡散層や金属珪化等の追加構成による代替手段が採用できないゲート電極 4 に隣接する肝心のソース・ドレイン接合端部領域へのレーザー光照射の相対強度が低減される問題が生じる。十分な照射エネルギー強度において溶融化され、再結晶化された拡散層内は結晶欠陥を含まない完全結晶化が達成されるが、不十分な照射エネルギー強度では拡散層の活性化が不十分となり、抵抗低減化は達成されず、併せて結晶欠陥、双晶が拡散層内に残存する結果となる。従ってゲート電極端から十分に間隔がおかれた領域における拡散層の活性化に最適なレーザー光照射強度による活性化熱処理条件においてもゲート電極 4 に隣接するソース・ドレイン接合端部領域は高抵抗で且つ双晶が残存する構造しか実現出来ず、半導体装置としての高性能化は実質的に達成されなかった。

#### 【0011】

しかしながら、上記問題点は超微細 IGFET の製造における従来の短時間高温熱処理法の限界とレーザー加熱処理法の実用化が話題となるまでは問題視されていなかった。即ち、上記問題点は IGFET の超微細化に伴って新たに見出された問題点である。本発明はレーザー被照射体の形状、例えばゲート電極高さ等に依存せずレーザー光照射強度、又は付加熱処理温度を最適に設定し得る手段を提供し、例えば超微細絶縁ゲート型電界効果トランジスタ等における大電流動作化と低漏洩電流化を可能にらしめる手段を提供することにある。

#### 【0012】

本発明の他の課題は通常半導体装置や薄膜トランジスタ等の活性化、結晶化に用いられているレーザー照射装置固有の問題、即ち 308 nm や 248 nm 等の極短波長光の発生が XeCl や KrF 等の希ガスレーザー以外では不可能であり、これらの気体レーザー装置は装置自体が高価であるばかりでなく出力波形の安定性、再現性に問題があり出力波形劣化を考慮して常時安定稼動を果たすためだ

けに 4 0 0 0 万円／年以上の維持費が必要となる点を解消することである。安定稼動、維持費低減の観点からは Y A G レーザーの如き固体レーザーの使用が現状では望ましい。（上記課題は将来、気体レーザーの性能向上が達成されれば解消される。）しかしながら例えば Y A G レーザー（波長 1 0 6 4 n m）を図 2 に示されるごとき半導体装置に照射しても  $\Gamma$  値が数  $\mu$  m となり、超微細絶縁ゲート型電界効果トランジスタや膜厚 5 0 n m 程度の半導体薄膜に製造される薄膜トランジスタの活性領域深さよりも遥かに深く、所望深さ領域の選択的熱処理には適用できない。本発明の他の課題は廉価で安定稼動が可能なレーザー光照射装置により超微細半導体装置や薄膜トランジスタの局所選択熱処理を可能にし、超微細半導体装置や薄膜トランジスタの高性能化を歩留まり良く実現することである。

#### 【 0 0 1 3 】

本発明の第 3 の課題はゲート電極端のソース・ドレイン接合領域を十分に活性化すべく照射レーザーエネルギーを増加させた場合に生じる致命的欠陥、ゲート電極の形状変形や部分欠落による良品歩留まりの低下を根本的に解消することである。従来のレーザー照射熱処理の基本概念が 2 4 8 n m や 3 0 8 n m 等の極短波長光が S i 等の半導体基板の極表面領域で吸収・加熱される現象を利用するものであるため、S i 等の半導体材料で構成されるゲート電極も必然的に自己加熱されることが避けられなかった。即ち、照射レーザーエネルギーの増加はゲート電極上での反射率を多少低減してもゲート電極自体の発熱は必然であり、ゲート電極に致命的欠陥を生せず、ゲート電極端のソース・ドレイン接合領域を十分に活性化し得るレーザーエネルギー条件は適用集積回路のパターン依存性、及び素子間分離絶縁膜上のゲート電極等の下地放熱条件依存性も考慮すると殆ど存在しえなかった。本発明は従来のレーザー光照射熱処理が本質的にゲート電極の自己加熱の問題から脱却できず、実用的観点から照射熱処理条件が見出せない状態を根本的に解消し、ゲート電極等への致命的欠陥の発生を解消してレーザー光照射熱処理に因る良品歩留まりの飛躍的向上を図り、ゲート電極端部を含めたソース・ドレイン接合表面領域を選択的に、且つ十分に活性化する手法を提供することにある。

#### 【 0 0 1 4 】

**【課題を解決するための手段】**

上記の第1の課題を解決するために本発明においてはコンタクト孔を開口すべき配線層間絶縁膜として用いるシリコン酸化膜の下部にドライエッチング速度がシリコン酸化膜に比べて20倍以上遅く、且つ絶縁性膜である酸化アルミニウム膜、窒化アルミニウム膜等A1を主たる構成原子とする絶縁膜を予め堆積しておく。上記、A1を主たる構成原子とする絶縁膜はシリコン酸化膜、あるいはシリコン窒化膜等との積層構造であってもよい。A1を主たる構成原子とする絶縁膜はゲート電極、ゲート側壁絶縁膜、さらにはソース、ドレイン拡散層の上部全てを覆う如く堆積されるため、シリコン酸化膜に施すソース、ドレイン接続のための開口をゲート電極を含む全活性領域に達する如きマスクにより実施してもゲート電極、及びゲート側壁領域はA1を主たる構成原子とする絶縁膜により保護される。シリコン酸化膜よりなる配線層間絶縁膜への開口を施した段階で露出されたA1を主たる構成原子とする絶縁膜をフッ化水素水溶液、又は磷酸溶液により選択的に除去することによりソース、ドレイン拡散層表面のみを選択的に除去できる。ゲート側壁絶縁膜としてシリコン窒化膜を用いる従来技術に比べてドライエッチング選択比を大きく出来るため、ゲート側壁絶縁膜の削れに基づくソース、ドレイン接続電極とゲート電極間短絡等の不良を格段に改善できる。更に、配線層間絶縁膜下部に構成するA1を主たる構成原子とする絶縁膜は後述する如く極浅接合ソース、ドレイン拡散層の低抵抗化に対しても極めて有効に作用させることが出来る。

**【0015】**

上記第2の課題を解決するため、本発明においては気体レーザー装置に比べて経時変化も含めた出力波形変動が格段に小さく安定な出力が得られ、維持経費が廉価な固体レーザー装置を用いる。固体レーザー装置を用いた場合、XeClレーザー（308nm波長）、又はKrFレーザー（248nm波長）のごとき気体レーザーにより得られる極短波長レーザー光を実現できない。実用化されている固体レーザー装置で得られる短波長レーザーは例えばYAGレーザーであり、波長は1064nmである。上記波長のレーザー光はSiに対する浸透深さ $\Gamma$ は数 $\mu\text{m}$ と深く、超微細半導体装置のごとく被熱処理領域が50nm以下と極浅領

域に限定される対象物を直接的に加熱することはできない。従って、半導体レーザー励起 YAG レーザーのごとき固体レーザー装置を用いて超微細半導体装置における極浅領域への選択的加熱処理を可能にするために、本発明では被照射体表面に照射光波長でレーザー光エネルギーを十分に吸収するレーザーエネルギー吸収膜を配置し、上記レーザーエネルギー吸収膜のレーザー光加熱により間接的に被照射体表面近傍の極浅領域を加熱する手法を用いる。波長 1064 nm のレーザー光を効率良く吸収させ、且つ吸収膜自体での熱抵抗を低減させるために、本発明では単層、又は多層構造の高融点金属膜を、更にレーザーエネルギー吸収膜上での反射防止膜として Si 膜、又は Ge と Si の混合膜を用いる。尚、被照射体と上記レーザーエネルギー吸収膜との反応を防止するために絶縁膜等の表面保護膜を挿入することが望ましい。上記表面保護膜はレーザーエネルギー吸収膜に発生した熱を速やかに、且つ損失なく伝達するべく、極薄膜で、熱伝導特性に優れ、且つ反応防止特性でも優れている材料が望ましく、Si 等の半導体基板表面が被照射体の場合、具体的には、アルミナ膜、シリコン窒化膜等が望ましい。膜厚は制御性を考慮して 20 nm 以下、10 nm 程度が望ましい。レーザーエネルギー吸収膜に関しては熱伝導性に優れ、且つ 1400℃ 程度の高温でも安定であることが必須であり、具体的には Ti、W、Ta、Mo 等の高融点金属膜、及び上記高融点金属の窒化膜、珪化膜の単層膜、或いはそれらの積層膜であることが望ましい。更にレーザーエネルギー吸収膜上に積層化する反射防止膜との反応を防止するためにレーザーエネルギー吸収膜最上層には例えば TiN 膜のごとき安定で、且つ熱抵抗率の低い材料膜を挿入することが望ましい。

#### 【0016】

波長 1064 nm の YAG レーザー光の高融点金属膜内でのエネルギー吸収特性は反射防止膜の膜厚の関数であり、Si の反射防止膜の場合、50 nm、及び 200 nm の膜厚で反射率がほぼゼロ、エネルギー吸収率は約 90% とすることが出来る。反射率は Si の反射防止膜の膜厚は約 130 nm で最大となる。上記のように積層した膜構成により下地表面近傍の温度を照射レーザーパルス幅とほぼ同等の時間、数十 ns 秒、照射レーザー光エネルギーの設定条件に基づいて 1400℃ 以上に到達させることができる。従って下地が Si の場合では表面層領域

での熔融とその後の再結晶化が可能となる。単結晶、又は多結晶上に構成された非晶質は下地の結晶方位に依存して比較的低温で結晶成長を開始する。従ってレーザー光照射前に非晶質領域の再結晶化が実質的に生じない様に前記レーザーエネルギー吸収膜や反射防止膜等の形成温度は十分に低温で実施されねばならない。単結晶 Si 上の 10 nm 厚程度の非晶質領域を実質的に再結晶化させないためには 450℃ 以下ですべての製膜工程を実施する必要がある。上記手法に基づけば出力特性が安定で、維持費用が廉価な固体レーザー装置を用いて被加熱領域の極短時間、極高温熱処理を可能にすることができる。

#### 【0017】

上記第3の課題、素子間分離絶縁膜上に延在されたゲート電極への過剰加熱防止を解決するために、本発明ではゲート電極を含む IGFET の活性領域部分の配線層間絶縁膜に開口を施し、該開口領域にのみ選択的に上記レーザーエネルギー吸収膜を残置する如く構成する。上記開口のために配線層間絶縁膜下部に Al を主たる構成原子とする薄い絶縁膜を少なくとも配置することにより、シリコン酸化膜開口におけるゲート電極側壁絶縁膜の削れに関する問題を解消する。更に、該 Al を主たる構成原子とする薄い絶縁膜を金属膜で構成されるレーザーエネルギー吸収膜と Si 基板のレーザー照射工程における反応防止のための表面保護膜として併用する。例えばアルミナ膜の場合、熱伝導率はシリコン酸化膜のほぼ 1/10 とであり、加熱すべきソース、ドレイン接合領域への熱伝導効率を向上できる。配線層間絶縁膜開口部にレーザーエネルギー吸収膜を選択残置する手法としてはまず、配線層間絶縁膜表面を化学的機械的研磨等で平坦化させた状態にレーザーエネルギー吸収膜を全面に堆積して該開口領域を完全に充填し配線層間絶縁膜表面を終点とする化学的機械的研磨により該開口領域にのみ選択的に残置すればよい。この状態より反応防止膜、反射防止膜を平坦化された主表面上に順次堆積すればよい。ゲート電極上部に該レーザーエネルギー吸収膜が残置されればゲート電極自体も加熱される。ゲート電極の加熱を抑止するためには配線層間絶縁膜の膜厚と実効的ゲート電極高さをほぼ一致するごとく設計すれば化学的機械的研磨工程によりゲート電極表面と配線層間絶縁膜表面が一致し、レーザーエネルギー吸収膜はゲート電極上には残置されず、ゲート電極が直接加熱される事

態は避けられる。ゲート電極の側壁からの加熱を抑制するためにはゲート電極に予めゲート側壁絶縁膜を形成してから上記手法に基づいて処理を進めれば良い。ゲート側壁絶縁膜の膜厚が表面保護膜に比べて十分に厚く、且つ熱伝導が十分に抑制されれば良い。

#### 【0018】

上記手法により下地凹凸に依存したレーザーエネルギー吸収膜や反射防止膜の膜厚変動を最小限に抑え、上記積層膜の膜厚を加熱所望全領域において光学的最適膜厚に設計することが出来る。レーザーエネルギー吸収膜や反射防止膜の研磨に対して難研磨の材料としてはシリコン酸化膜、シリコン窒化膜等を用いることが出来る。通常半導体装置の製造方法で用いられている化学的機械的研磨法に基づけば高融点金属膜よりなるレーザーエネルギー吸収膜やSiよりなる反射防止膜とシリコン酸化膜、シリコン窒化膜等の難研磨膜との研磨比は30倍以上に達し、選択研磨が十分に達成できる。

#### 【0019】

本発明では従来半導体装置の従来製法において、ゲート電極を注入阻止マスクとする極浅ソース・ドレイン接合形成の第1のイオン注入とその後のゲート側壁絶縁膜を注入阻止マスクとする相対的に深いソース・ドレイン接合形成の第二のイオン注入工程を終了した段階で上記のレーザー光照射熱処理を施す。ソース・ドレイン接合内の非晶質層領域のみを熔融し、単結晶領域への熱伝導を最小にするべく数十n秒程度のパルスレーザー照射条件に設定すればゲート電極の過熱を防止しつつ、ソース・ドレイン接合内を十分に活性化することが出来る。更に、本手法では異なる接合深さを有するソース・ドレイン拡散層を一括して活性化することができるため、接合不純物分布の理想形を容易に維持することが可能となる。

#### 【0020】

ゲート絶縁膜が2nm程度以下となる超微細相補型IGFET、特にP導電型IGFETにおいては加熱によるゲート電極の変形の問題以外に新たな問題が提起される。即ち、ゲート電極に添加された高濃度不純物が通常の熱処理温度においても基板へ容易に漏洩拡散し、閾電圧の変動、及びばらつきなどの不良を生じ

させる。従って、ゲート電極の過熱防止の意味は従来のレーザー照射に基づくパターン変形の問題に留まらず、ゲート電極に添加された高濃度添加不純物の漏洩拡散や、ゲート絶縁膜劣化等、新たな問題も解消する必要がある。ゲート電極上部、及び側部からの熱伝導を十分に抑制し得る上記手法においては上述した超微細相補型 I G F E T に関する新規問題に対しても十分な製造条件幅を創出するものである。本発明に基づけば活性領域を基準として、ゲート電極と非活性領域の過剰な加熱を自己整合的に解消するものである。ゲート電極直下に熱伝導性の悪い、従って過剰加熱を受けやすい素子間分離絶縁膜の存在の有無に拘らず過剰加熱に拘る諸問題を解消することができる。

#### 【0021】

以上説明した本発明に基づく熱処理法は半導体基板内の所望領域のみを選択的に熱処理を施し得ることを意味する。従って、例えば同一半導体基板内に相補型 I G F E T とバイポーラトランジスタが混在する所謂 B I C M O S において、バイポーラトランジスタに実効的に熱処理を加えることなく相補型 I G F E T のソース、ドレイン領域にのみを選択的に活性化することが可能となる。他の応用としてはバイポーラのベース拡散層への熱負荷を低減したままでエミッタ拡散層と I G F E T のソース、ドレイン領域の活性化を同時に達成することも可能となる。これにより従来の B I C M O S の製造に基づく限りは I G F E T とバイポーラトランジスタの製造における各々の熱処理履歴の影響が除去できず、高性能バイポーラトランジスタと高性能 I G F E T の両立が不可能であった事実を覆し、バイポーラトランジスタとして最適な熱処理条件と I G F E T としての最適な熱処理条件を互いに独立に実行することが可能となる。即ち、本発明に基づけば高性能なバイポーラトランジスタと高性能な I G F E T を同一基板内に構成することが可能となる。

#### 【0022】

##### 【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補

足説明の関係にある。

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

同様に以下の実施の形態において、構成要素等の形状、位置関係に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

以下、本発明の実施の形態を図面に基づいて詳細に説明する。各部の材質、導電型、及び製造条件等は本実施の形態の記載に限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

### 【0023】

#### <実施の形態1>

図3、図4及び図5は本発明の第1の実施の形態によるIGFETを構成素子とする半導体装置の製造工程途中を示す断面図であり、図1はレーザー熱処理工程実施直前を示すIGFETを構成素子とする半導体装置の断面図であり、図6はIGFETの完成断面図である。説明の都合上、製造方法の詳細は半導体装置を構成するN導電型IGFETについて主に説明するがP導電型IGFETに関しても反対導電型のイオン注入種に置き換えることにより同様に製造することができる。相補型IGFETに関してもイオン注入阻止マスクの選択配置によりイオン注入種の選択注入を行なうことにより容易に実施できる。面方位（100）、P導電型、直径20cmの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域2の形成、閾電圧調整用イオン注入、パンチスルー防止



のためのイオン注入とその活性化熱処理を公知の半導体装置の製造手法によって実施した。更に熱酸化膜 1.8 nm の形成とその表面を NO ガスにより窒化することにより 0.2 nm の窒化膜を積層形成し、ゲート絶縁膜 3 とした。上記窒化膜は Si 熱酸化膜よりも比誘電率が大きく、Si 熱酸化膜と電氣的等価な光学的膜厚は約 2 倍厚に対応する。続いてゲート絶縁膜 3 上に 90 nm 厚の多結晶 Si 膜の堆積と As の高濃度イオン注入を施してからシリコン窒化膜を 10 nm の膜厚で化学気相堆積法により堆積し、そのパターンニングによるゲート電極 4、ゲート保護膜 4 の形成を従来公知の IGFET の製造方法により実施した。上記ゲート電極の幅、即ちゲート長の最小値は 60 nm、ゲート電極の高さはゲート保護絶縁膜 4 も含めて 100 nm である。ゲート電極 4 加工の後、As イオンを加速エネルギー 3 keV、注入量  $4 \times 10^{15} / \text{cm}^2$  の条件でゲート電極 4 を注入阻止マスクとするイオン注入を施し、浅い高濃度ソース拡散層 55、浅い高濃度ドレイン拡散層 56 を単結晶 Si 主表面領域に形成した。上記イオン注入により半導体主表面から 15 nm 程度まで非晶質層 58 が形成された。上記イオン注入に先立ち、Ge を高濃度イオン注入し、半導体主表面から非晶質層 58 の深さを制御してもよい。なお、上記イオン注入はゲート電極側壁に 10 nm 以下膜厚の絶縁膜を選択残置させ、該絶縁膜を注入阻止マスクとして用いても何ら問題ない。この手法によりゲート電極端部と高濃度ソース、ドレイン拡散層端の間隔を変えることができ、パンチスルー耐圧を制御することが可能となる。極浅高濃度ソース、ドレイン拡散層の形成に続いて、400℃以下の低温で 30 nm 厚の Si 酸化膜の堆積とその後の異方性ドライエッチングによりゲート電極 4 の側壁部にのみゲート電極側壁絶縁膜 72 を選択的に残置させてから再び As のイオン注入を施し、深いソース拡散層 50、深いドレイン拡散層 52 を形成した。上記イオン注入の加速エネルギーは 40 keV、注入量は  $4 \times 10^{15} / \text{cm}^2$  である。上記イオン注入により半導体主表面から 70 nm 程度まで非晶質層 59 が形成された。この状態より 400℃以下の低温で 10 nm 厚の Al 酸化膜よりなる表面保護膜 39 の全面堆積を施した。表面保護膜はその上部に堆積する高融点金属膜と下地半導体基板等がレーザー照射加熱処理で反応することを防止する目的と、熱を下地基板に伝達することを目的とするものであり、Al 酸化膜や Si 窒化膜、

更にはAl酸化膜とSi窒化膜の積層膜、及び極薄のSi酸化膜とこれらの薄膜との積層膜等、熱伝導性に優れ、且つ化学的熱的に安定な材料が好ましい。表面保護膜39の全面堆積の後、やはり400℃以下の低温で90nm厚のSi酸化膜40と20nm厚のSi窒化膜41を全面に堆積した。400℃以下の低温で工程を施す趣旨は非晶質層58、59の再結晶化が実効的に生じさせないためである。尚、上記Al酸化膜はAl窒化膜等、他のAl化合物であっても良い。(図3)。

#### 【0024】

図3の状態より機械的化学的研磨によりゲート電極4上に突出しているSi窒化膜41とSi酸化膜40を選択的に除去した。研磨の終点はゲート電極4領域以外におけるSi窒化膜41面とした(図4)。

#### 【0025】

図4の状態よりゲート電極4を跨ぎ、ソース拡散層50、ドレイン拡散層52全体を含む領域、即ち素子間分離絶縁膜2領域以外の領域にほぼ対応するマスクでSi酸化膜40と20nm厚のSi窒化膜41に開口を施し、Al酸化膜39面を露出させた。続いてスパッタ法により10nm厚のチタン(Ti)膜、80nm厚のタングステン(W)膜からなるレーザーエネルギー吸収膜6を連続して堆積させて開口内部を充填した。この状態から半導体装置の配線製造工程で通常使用されている化学的機械的研磨法に基づいて高融点金属膜より成るレーザーエネルギー吸収膜6を研磨した。研磨の終点はSi窒化膜41表面の露出した段階で制御した。これはシリコン酸化膜の研磨速度は上記高融点金属膜の速度の約1/30程度しかないためである。上記選択研磨により開口内部にのみ高融点金属膜よりなるレーザーエネルギー吸収膜6を選択残置した。この状態より平坦化された表面に10nm厚でTiN膜からなる反応防止膜7を全面に堆積し、続いて50nm厚のシリコン膜を400℃以下の温度で化学気相反応により全面に堆積し、反射防止膜8とした。上記反射防止膜8の膜厚条件はレーザーエネルギー吸収膜におけるエネルギー吸収率が最大となる条件であり、他の膜厚としては光学的観点と潜熱増加の観点から照射レーザー光の波長 $\lambda$ 、反射防止膜の屈折率 $n$ の定義に対し、反射防止膜の膜厚は照射レーザー光の反射率が最低となる膜厚より

$\lambda / (2n)$  だけ厚い膜厚である 200 nm であっても良い。上記反射防止膜は非晶質ではなく、多結晶 Si 膜であることが望ましく、ニッケル (Ni)、又はアルミニウム (Al) 等の蒸着とその後の 450℃ 以下程度の低温熱処理を通じて非晶質膜を結晶化させても良い。然しながら 500℃ 以上を要する Si 膜の製膜や熱処理を施すことは下地に非晶質領域が存在する場合、上記熱処理で固相成長が実質的に開始され、レーザー光照射による選択的溶融が実施できなくなるので好ましくない。下地基板に Si の非晶質層が存在し、非晶質状態を保持するためには表面保護膜、レーザーエネルギー吸収膜 6、及び反射防止膜 8 の製膜工程全てを通じて最大許容温度は 450℃ 以下、特に 400℃ 以下が望ましい。上記の製造工程を経ることにより、高濃度非晶質ソース、ドレイン拡散層 58、59 の全ての領域でレーザーエネルギー吸収膜 6、及び反射防止膜 8 の各膜厚を均一に設計し、且つゲート電極 4 上や素子間分離絶縁膜 2 上にはレーザーエネルギー吸収膜 6 が存在しない構成が実現できる。上記膜構成において、特に重要なことは反射防止膜 8 が平坦な下地上に均一に構成可能となるため該膜厚が所望領域上で下地形状に依存せず一定に構成されることである。1064 nm なる照射レーザー波長に対して Si から成る反射防止膜 8 がない場合のエネルギー反射率は約 64%、エネルギー吸収率が 32% であるのに対し反射防止膜 8 の膜厚が増加するに従い反射率はほぼ零% に低下し、エネルギー吸収率は 87% にまで増加する。更に反射防止膜 8 の膜厚が増加すると例えば 125 nm の場合、反射率が増加に転じて約 70%、エネルギー吸収率は逆に低下して 25% となる。更なる反射防止膜 8 の膜厚増加が今度は反射率の低下と吸収率の増加となる。即ち、1064 nm なる照射レーザー波長に対し、反射防止膜 8 の膜厚を下地形状によらず 50 nm 一定に保つことがレーザー光照射による加熱分布を一定に保つ上で最も重要である (図 1)。

#### 【0026】

図 1 の状態より半導体レーザーによる励起を用いた YAG レーザーを照射し、レーザーエネルギー吸収膜 6 の極短時間加熱により下地高濃度ソース、ドレイン拡散層の非晶質層 58 及び 59 を溶融、再固相成長させた。照射波長は 1064 nm、照射パルスの半値幅は 90 ns、照射エネルギー密度は 420 mJ/cm<sup>2</sup>

であった。照射面積は  $5 \times 5 \text{ mm}^2$  であり、全面照射においては、最大エネルギー密度の 95% 以下の領域が互いに重畳するごとく実施した。溶融過程で不純物の As は溶融領域で  $5 \times 10^{21} / \text{cm}^3$  程度の均一矩形高濃度になるごとく再分布し、極浅の矩形高濃度拡散層 550 と 560、及び深い矩形高濃度拡散層 500 と 520 を形成した。上記矩形高濃度拡散層における最大濃度勾配は  $3 \text{ nm/decade}$  と活性化前のイオン注入直後における最大濃度勾配  $4 \text{ nm/decade}$  よりも更なる急峻化が実現された。ゲート電極端部でゲート側壁絶縁膜直下における不純物分布も別途準備した試料の断面透過電子顕微鏡によるエネルギー分散型スペクトル法を用いた高濃度不純物分布の観測でも均一矩形高濃度不純物分布であることが確認された。レーザー光照射処理の後、反射防止膜 8 はドライエッチングで、反応防止膜 7、レーザーエネルギー吸収膜 6、及び Al 酸化膜 39 はエッチング溶液にて各々選択的に除去し、ソース、ドレインの矩形高濃度拡散層 500 及び 520 表面を露出させた(図 5)。

図 5 の状態より残置されている Si 窒化膜 44 を除去し、ゲート電極 4 の表面を露出させてから公知の IGFE T を主構成要素とする半導体装置の製造方法に基づき、ゲート電極 4、及びソース、ドレイン拡散層 500 及び 520 上への選択的 Co 珪化膜 89 の形成、第二の配線層間絶縁膜 85 の堆積と平坦化研磨、及び所望領域への開孔、開孔部への配線金属 86 の埋め込みと平坦化处理、ソース電極 87、及びドレイン電極 88 を含む配線工程等を実施し半導体装置を製造した(図 6)。

上記製造方法を経て製造された半導体装置の断面透過電子顕微鏡観察においてソース、ドレイン拡散層 50、500、55、550、52、520、56、560 何れにおいてもゲート電極端からの間隔に依存せず、全ての領域において何らの結晶欠陥も観測されなかった。上記のように、高濃度ソース、ドレイン拡散層の非晶質層を溶融、再固相成長させた領域の結晶形態は、従来高温短時間熱処理に基づく非晶質層からの固相成長において、イオン注入飛程境界に起因して残置される結晶欠陥や固相成長時に通常観察されるループ転位の存在、又は双晶等の結晶欠陥が残存する現状技術と全く異なる事実である。一方ソース・ドレイン接合に関しては不純物分布が 1 桁の濃度差が 2 から  $3 \text{ nm}$  以内となる如き急峻な不

純物分布を有する矩形高濃度不純物分布と結晶形態に相関があり、上記矩形高濃度不純物分布が達成された領域においては透過電子顕微鏡観察では何ら欠陥が観測できず、高濃度矩形不純物分布が達成されていない不十分な加熱条件では双晶やイオン注入端欠陥の何れかが観測されることが明らかとなった。また、ゲート電極の蒸発等に基づくパターン崩れ不良も全く存在しなかった。更に、ゲート電極に添加された不純物の薄いゲート絶縁膜 3 を介した基板への漏洩に基づく閾電圧の変動も観測されず、レーザー照射によるゲート電極の加熱が十分に抑制されたことが確認された。ゲート電極に関する不純物漏洩拡散やゲート絶縁膜劣化の発生とゲート電極の結晶形態の間には相関が見られ、熔融状態を経て再結晶した液相成長多結晶シリコンにおいては不純物漏洩拡散やゲート絶縁膜劣化の発生が確実に観測される。固相成長の履歴を有するシリコンゲート電極でのみ不純物漏洩拡散やゲート絶縁膜劣化の発生が抑制されており、結晶形態の観点からは固相成長の履歴を有することが望ましい。従って、レーザー熱処理後の集積回路を結晶構造的観点から見ればゲート電極は固相成長に基づく多結晶、ソース・ドレイン接合領域は双晶やイオン注入端欠陥を有しない完全結晶であることが望ましい。本実施の形態において、反射防止膜 8 として Si 膜の場合について記載したが上記膜は Ge、膜或いは SiGe 混合膜によっても良く、同様の効果が得られる。

尚、本実施の形態を適用する半導体装置が面積を異にする複数個所のソース・ドレイン接合領域で構成される場合、レーザーエネルギー吸収膜 6 の占有面積の違いに基づき熱容量に差異が生じるために一定照射エネルギー条件において熔融条件が占有面積に依存して小面積領域が十分に熔融しないというパターン依存現象が生じる。上記パターン依存現象を解消するためにはレーザーエネルギー吸収膜 6 の占有面積が微小領域群（例えばメモリアレー領域）に対して選択的に強い照射エネルギーでレーザー光を照射し、その後該領域と占有面積が広いレーザーエネルギー吸収膜 6 群（例えば周辺回路領域）を含めた全領域で再度やや弱い照射エネルギーでレーザー光照射を施す。レーザーエネルギー吸収膜 6 の占有面積が微小領域群で重複して照射されるレーザー光照射条件は大面積領域が十分に熔融し、活性化する条件で実施した。レーザー光照射の重複される領域においては最

初のレーザー光照射により非晶質領域は既に結晶化されており重複照射の影響は無視することができ、面積を異にする複数個所のソース・ドレイン接合領域を有する半導体装置においても面積依存性を克服して全領域をレーザー光照射により活性化することができた。

#### 【0027】

##### <実施の形態2>

図7から図10は、本発明の第2の実施の形態による半導体装置の構成素子であるN導電型IGFETの製造工程順を示す断面図であり、図11はその完成断面図である。前記実施の形態1に従ってA1酸化膜よりなる表面保護膜39の全面堆積まで実施したが深いソース、ドレイン拡散層50及び52と深い非晶質層59を形成する工程は実施しなかった(図7)。

#### 【0028】

図7の状態より前記実施の形態1に従ってSi酸化膜40とSi窒化膜41の全面堆積と、ゲート電極4を跨ぎ、ソース拡散層50、ドレイン拡散層52全体を含む領域にほぼ対応するマスクでSi酸化膜40とSi窒化膜41に開口を施し、A1酸化膜39面を露出させた。引き続き、前記実施の形態1に従いレーザーエネルギー吸収膜6を連続して堆積させて開口内部を充填し、レーザーエネルギー吸収膜6を研磨してSi窒化膜41表面の露出させた。引き続き10nmの膜厚でTiN膜からなる反応防止膜7の全面に堆積と50nm厚の非晶質シリコン膜8を400℃以下の温度で化学気相反応により全面に堆積してからやはり前記実施の形態1に従ってレーザー光照射を施して極浅非晶質層58の溶融再固相化により極浅の矩形高濃度ソース及びドレイン拡散層550と560を形成した(図8)。

#### 【0029】

図8の状態より前記実施の形態1に従って反射防止膜8はドライエッチングで、反応防止膜7、及びレーザーエネルギー吸収膜6と表面保護膜39はエッチング溶液にて各々選択的に除去し、極浅の矩形高濃度ソース及びドレイン拡散層550と560表面を露出させた。続いて、化学気相反応により全面に20nm厚のSi膜81を堆積させた。Si膜81には所望によりイオン注入法等でAsや

P等のN導電型不純物を任意量導入しても良い。(図9)。

#### 【0030】

図9の状態より機械的化学的研磨によりSi窒化膜41上に突出しているSi膜81膜を選択的に除去した。研磨の終点はSi窒化膜41、及び44面とした。Si窒化膜41、及び44を磷酸溶液により選択的に除去したがこの時Si膜81も多少エッチングされる。次に公知のIGFET製造方法に基づきゲート電極4表面部分とともに、露出されているSi膜81全てをCo珪化膜89に変換し、更に第二の配線層間絶縁膜85の堆積と平坦化研磨、及び所望領域への開孔、開孔部への配線金属86の埋め込みと平坦化处理、ソース電極87、及びドレイン電極88を含む配線工程等を実施して半導体装置を製造した(図11)。

#### 【0031】

上記の製造工程を経ることにより、極浅の矩形高濃度分布を有する拡散層550、及び560とその上部に積上げ配置された珪化膜89によりソース、ドレイン領域が構成される超微細IGFETが製造された。これにより本超微細IGFETにおいては深いソース、ドレイン拡散層を形成するためのイオン注入の必要がなくなり、深いソース、ドレイン注入イオンの遮蔽として必須条件であったゲート電極高さに対する制限が緩和された。従って、より短いゲート長を加工するための必須条件であるより低いゲート高さを有する超微細IGFETが可能となった。具体的には10nmの超微細ゲート長を有するIGFETの実現のために極薄ソース、ドレイン55、56形成の注入イオンの遮蔽を可能とする30nmから40nm以下の薄いSi膜によりゲート電極を構成することが可能となった。

本実施の形態に基づく半導体装置においてはより微細なゲート電極を加工可能とするためにゲート電極高さが低く構成され、併せて積上げソース・ドレイン構造との併用を可能とする必要がある。本実施の形態に基づく半導体装置においてはゲート電極とソース・ドレイン電極間の短絡を防止するためにゲート側壁絶縁膜の高さをゲート電極高さよりも高く構成することにより実現した。

#### 【0032】

本実施の形態に基づく極浅の矩形高濃度分布を有する拡散層550、及び56

0の形成において、浅い非晶質層58上の全ての領域でレーザーエネルギー吸収膜6を下地形状に依らず均一に設計することができたのでゲート側壁絶縁膜72直下、及びゲート電極間が最小寸法となる領域も含め $5 \times 10^{21} / \text{cm}^3$ 程度の均一矩形高濃度で且つ、不純物分布での最大濃度勾配は $3 \text{ nm} / \text{decade}$ と活性化前のイオン注入直後における最大濃度勾配 $4 \text{ nm} / \text{decade}$ よりも更なる急峻化が全領域で実現された。断面透過電子顕微鏡観察においてもソース、ドレイン拡散層500、560にはゲート電極端からの間隔に依存せず、全ての領域において何らの結晶欠陥も観測されなかった。またゲート電極の蒸発等に基づくパターン崩れ不良も全く存在しなかった。更に、ゲート電極に添加された不純物の薄いゲート絶縁膜3を介した基板への漏洩に基づく閾電圧の変動も観測されず、レーザー照射によるゲート電極の加熱が十分に抑制されたことが前記実施の形態1と同様に確認された。

### 【0033】

上記の製造工程において、極浅のソース、ドレイン拡散層55、56を形成するAsのイオン注入、及びゲート側壁絶縁膜72の形成に続いて、該ソース、ドレイン拡散層55、56の接合深さ付近で最大不純物濃度となる如く、且つパンチスルー防止のためのP導電型イオン注入を補償するとき注入量でN導電型を有するP(リン)のイオン注入を追加した半導体装置も別途試作した(図示せず)。P(リン)イオン注入を追加することによりソース、ドレイン極浅接合の接合底面領域における実効的不純物濃度は低下され、接合容量の低下による半導体装置の高速動作化が達成される。特に本実施の形態における半導体装置ごとく、深いソース・ドレイン接合を有しない超微細IGFETでは深いソース・ドレイン間のパンチスルー電流成分の発生せず、半導体表面近傍におけるパンチスルー成分のみを考慮したデバイス設計が可能となり、極浅接合底面寄生容量成分の低減が可能となった。

### 【0034】

#### <実施の形態3>

図12は、本発明の第3の実施の形態による半導体装置の構成素子であるN導電型IGFETの途中製造工程を示す断面図であり、図14はその完成断面図で



ある。前記実施の形態 2 に従って YAG レーザー照射による極浅の矩形高濃度分布を有する拡散層 550、及び 560 の形成を行ない、反射防止膜 8 はドライエッチングで、反応防止膜 7、及びレーザーエネルギー吸収膜 6 と表面保護膜 39 はエッチング溶液にて各々選択的に除去し、極浅の矩形高濃度ソース及びドレイン拡散層 550 と 560 表面を露出させた。更に、露出された Si 窒化膜 41、44 も選択的に除去した。この状態より公知の選択エピタキシャル法により 20 nm 厚の Si 膜 81 を露出された Si 表面にのみ選択的に堆積させた。Si 膜 81 には所望によりイオン注入法等で As や P 等の N 導電型不純物を任意量導入しても良い(図 12)。

#### 【0035】

図 12 の状態より、前記実施の形態 2 に従い露出されている Si 膜 81 全てを Co 珪化膜 89 に変換し、更に第二の配線層間絶縁膜 85 の堆積と平坦化研磨、及び所望領域への開孔、開孔部への配線金属 86 の埋め込みと平坦化处理、ソース電極 87、及びドレイン電極 88 を含む配線工程等を実施して半導体装置を製造した(図 14)。

#### 【0036】

本実施の形態に基づいて製造された半導体装置においても、前記実施の形態 2 に基づく半導体装置と同様に極浅の矩形高濃度分布を有する拡散層 550、及び 560 とその上部に積上げ配置された珪化膜 89 によりソース、ドレイン領域が構成される超微細 IGFET が製造された。これにより本超微細 IGFET においては深いソース、ドレイン拡散層を形成するためのイオン注入の必要がなくなり、深いソース、ドレイン注入イオンの遮蔽として必須条件であったゲート電極高さに対する制限が緩和された。従って、より短いゲート長を加工するための必須条件であるより低いゲート高さを有する超微細 IGFET が可能となった。具体的には 10 nm の超微細ゲート長を有する IGFET の実現のために極薄ソース、ドレイン 55、56 形成の注入イオンの遮蔽を可能とする 30 nm から 40 nm 以下の薄い Si 膜によりゲート電極を構成することが可能となった。

#### 【0037】

本実施の形態に基づく極浅の矩形高濃度分布を有する拡散層 550、及び 56

0の形成において、浅い非晶質層58上の全ての領域でレーザーエネルギー吸収膜6を下地形状に依らず均一に設計することができたのでゲート側壁絶縁膜72直下、及びゲート電極間が最小寸法となる領域も含め $5 \times 10^{21} / \text{cm}^3$ 程度の均一矩形高濃度で且つ、不純物分布での最大濃度勾配は $3 \text{ nm} / \text{decade}$ と活性化前のイオン注入直後における最大濃度勾配 $4 \text{ nm} / \text{decade}$ よりも更なる急峻化が全領域で実現された。断面透過電子顕微鏡観察においてもソース、ドレイン拡散層500、560にはゲート電極端からの間隔に依存せず、全ての領域において何らの結晶欠陥も観測されなかった。またゲート電極の蒸発等に基づくパターン崩れ不良も全く存在しなかった。更に、ゲート電極に添加された不純物の薄いゲート絶縁膜3を介した基板への漏洩に基づく閾電圧の変動も観測されず、レーザー照射によるゲート電極の加熱が十分に抑制されたことが前記実施の形態2と同様に確認された。

#### 【0038】

##### <実施の形態4>

図13は、本発明の第4の実施の形態による半導体装置の構成素子であるN導電型IGFETの途中製造工程を示す断面図であり、図14はその完成断面図である。前記実施の形態3におけるSi膜81の堆積において本実施の形態においては選択エピタキシャル法の代わりに遠隔スパッタ法を用いて20nm厚のSi膜81を堆積させた。遠隔スパッタ法により堆積された上記Si膜81は下地基板形状に基づき形成膜厚が異なり、平坦な下地基板上膜厚に対する凸形状下地基板の側壁部における膜厚は1/10程度となる。下地基板形状に依存して堆積膜厚に方向性を有する他の手法としてはコリメータ・スパッタ法、触媒化学気相反応法、或いはイオン蒸着法などがあり、これらの異方性堆積手法を用いて実施しても何ら問題ない(図13)。

#### 【0039】

図13の状態より前記実施の形態1に従ってSi窒化膜41、44上のSi膜81の化学的機械的研磨による選択除去と、凸形状下地基板の側壁部、即ちゲート電極側壁部、に堆積されているSi膜81の成分が消滅するごとく磷酸溶液によりエッチング除去した。しかる後、前記実施の形態3に従い露出されているS

i 膜 81 全てを C o 珪化膜 89 に変換し、更に第二の配線層間絶縁膜 85 の堆積と平坦化研磨、及び所望領域への開孔、開孔部への配線金属 86 の埋め込みと平坦化处理、ソース電極 87、及びドレイン電極 88 を含む配線工程等を実施して半導体装置を製造した(図 14)。

#### 【0040】

本実施の形態に基づいて製造された半導体装置においても、前記実施の形態 3 に基づく半導体装置と同様に極浅の矩形高濃度分布を有する拡散層 550、及び 560 とその上部に積上げ配置された珪化膜 89 によりソース、ドレイン領域が構成される超微細 I G F E T が製造された。これにより本超微細 I G F E T においては深いソース、ドレイン拡散層を形成するためのイオン注入の必要がなくなり、深いソース、ドレイン注入イオンの遮蔽として必須条件であったゲート電極高さに対する制限が緩和された。従って、より短いゲート長を加工するための必須条件であるより低いゲート高さを有する超微細 I G F E T が可能となった。具体的には 10 nm の超微細ゲート長を有する I G F E T の実現のために極薄ソース、ドレイン 55、56 形成の注入イオンの遮蔽を可能とする 30 nm から 40 nm 以下の薄い S i 膜によりゲート電極を構成することが可能となった。本実施の形態に基づく極浅の矩形高濃度分布を有する拡散層 550、及び 560 の形成において、浅い非晶質層 58 上の全ての領域でレーザーエネルギー吸収膜 6 を下地形状に依らず均一に設計することができたのでゲート側壁絶縁膜 72 直下、及びゲート電極間が最小寸法となる領域も含め  $5 \times 10^{21} / \text{cm}^3$  程度の均一矩形高濃度で且つ、不純物分布での最大濃度勾配は  $3 \text{ nm} / \text{decade}$  と活性化前のイオン注入直後における最大濃度勾配  $4 \text{ nm} / \text{decade}$  よりも更なる急峻化が全領域で実現された。断面透過電子顕微鏡観察においてもソース、ドレイン拡散層 500、560 にはゲート電極端からの間隔に依存せず、全ての領域において何らの結晶欠陥も観測されなかった。またゲート電極の蒸発等に基づくパターン崩れ不良も全く存在しなかった。更に、ゲート電極に添加された不純物の薄いゲート絶縁膜 3 を介した基板への漏洩に基づく閾電圧の変動も観測されず、レーザー照射によるゲート電極の加熱が十分に抑制されたことが前記実施の形態 3 と同様に確認された。

## 【0041】

## ＜実施の形態5＞

図15から図17は、本発明の第5の実施の形態による半導体装置の構成素子であるN導電型IGFETの製造工程順を示す断面図であり、図18はその完成断面図である。前記実施の形態1においてはゲート電極構造としてSi膜を用い、その表面をソース、ドレイン拡散層表面と同時に珪化する所謂サリサイド構造を用いたが、本実施の形態においてはゲート電極構造として予めSi膜4とW(タングステン)の珪化膜89の積層膜を加工してゲート電極とし、ソース、ドレイン拡散層イオン注入の注入マスクとして用い、前記実施の形態1に従って、深いソース拡散層50、深いドレイン拡散層52の形成まで実施した。本実施の形態ではこの状態より公知のスパイクアニール(1100℃)を施し、極浅ソース拡散層55、ドレイン拡散層56と深いソース拡散層50、深いドレイン拡散層52を同時に活性化させた。続いて前記実施の形態1に従い、Al酸化膜よりなる表面保護膜39の全面堆積とSi酸化膜40とSi窒化膜41を全面に堆積した(図15)。

## 【0042】

図15の状態より機械的化学的研磨によりゲート電極4上に突出しているSi窒化膜41とSi酸化膜40を選択的に除去した。研磨の終点はゲート電極4領域以外におけるSi窒化膜41面とした(図16)。

## 【0043】

図16の状態よりゲート電極4を跨ぎ、ソース拡散層50、ドレイン拡散層52全体を含む領域、即ち素子間分離絶縁膜2領域以外の領域にほぼ対応するマスクでSi酸化膜40とSi窒化膜41にドライエッチングにより開口を施した。Al酸化膜39をドライエッチングの阻止膜として用い、Al酸化膜39表面の露出後、Al酸化膜39を磷酸溶液により選択的に除去した(図17)。

## 【0044】

図17の状態より開口領域を完全に充填するごとく10nm厚のTiN膜とW膜の積層からなる金属膜を化学気相反応により堆積し、Si窒化膜41上等に残置された上記金属膜を化学的機械的研磨により除去し、開口内部にのみ選択的に

残置させてコンタクト孔内配線金属 86 とした。続いて、第二の配線層間絶縁膜 91 の堆積と所望の回路構成に基づく同絶縁膜への開口を施し、該開口へのサイドの金属膜充填と化学的機械的研磨による開口内部への選択残置によりコンタクト孔内配線金属 90 の形成を行なった。さらに、所望回路構成に基づくソース電極 87、ドレイン電極 88 を含む配線工程を施して IGFET を主たる構成素子とする半導体装置を製造した (図 18)。

#### 【0045】

本実施の形態に基づいて製造された半導体装置においてはソース、ドレイン拡散層との接続を拡散層の珪化处理を施さずとも拡散層全面における配線金属との接続が実施できるので接触抵抗を低減でき、従ってトランジスタの直列抵抗の低減、即ち大電流高速動作化が実現できる。これにより従来装置における拡散層表面の珪化に基づく局所的接合劣化の問題を解消し、良品歩留まりの向上、信頼性向上も可能となる。更に、本実施の形態に基づいて製造された半導体装置においては従来、Si 酸化膜 40 の開口にあたり、ゲート側壁絶縁膜 72 として十分に厚い Si 窒化膜以外はドライエッチング開口工程において、ゲート電極の一部露出が生じ、ゲート電極とソース、又はドレイン接続電極間で短絡が生じる問題があったが、本実施の形態によれば開口ドライエッチングは薄い Al 酸化膜 39 のみで抑止可能なためゲート側壁絶縁膜 72 の膜厚、材質に対する制約は全て解消できる。これにより本実施の形態に基づく半導体装置においては誘電率の大きな Si 酸化膜によるゲート側壁絶縁膜の採用によるゲート・ソース間、又はゲート・ドレイン間の寄生容量低減効果、即ち高速動作化にも対応できる。更に、ゲート側壁絶縁膜 72 として各種の絶縁膜を用いることが可能となるため、活性領域における応力制御、ゲートフリンジ電気力線制御などに基づく高性能化、高信頼度化を図ることが可能となる。

#### 【0046】

##### <実施の形態 6>

図 19 は、本発明の第 6 の実施の形態による半導体装置の構成素子である N 導電型 IGFET のレーザー熱処理工程実施直前を示す断面図である。前記実施の形態 2 において、Al 酸化膜からなる表面保護膜 39 は Si 酸化膜 40 の開口ド

ライエッチングのエッチング阻止膜、及びレーザー照射時におけるレーザーエネルギー吸収膜からの良熱伝導膜としての機能を兼用させる構成としたが、両機能の最適膜厚条件は必ずしも同一とはいえない。本実施の形態による半導体装置の製造では前記実施の形態 2 における Si 酸化膜 40 の開口の後、3 nm 厚の Si 窒化膜と 5 nm 厚の Al 酸化膜から成る積層膜 39 を非晶質層 58 表面に改めて形成してからレーザーエネルギー吸収膜 6 の堆積と平坦化、反応防止膜 7、及び反射防止膜 8 の堆積、更にはレーザー光照射による拡散層の活性化処理を前記実施の形態 2 に従って実施した(図 19)。

#### 【0047】

図 19 の状態より反射防止膜 8、反応防止膜 7、レーザーエネルギー吸収膜 6、及び積層膜 39 を前記実施の形態 2 に基づいて除去した後、引き続いて実施の形態 2 に基づいて IGFET を主たる構成素子とする半導体装置を製造した。本実施の形態に基づき製造された半導体装置においては照射するレーザーエネルギーの設定に対応して任意に表面保護膜 39 の積層構成、膜厚を配線層間絶縁膜 400 の加工条件と独立に設定できるため活性化すべき拡散層(非晶質層)深さ等に対応したより効率的な熱伝播特性を可能とする膜構成が実現でき、レーザー光照射による拡散層活性化の適用可能条件をより広範囲に拡大することが可能となる。

#### 【0048】

##### <実施の形態 7>

図 20 は、本発明の第 7 の実施の形態による半導体装置の構成素子である N 導電型 IGFET の完成断面図である。前記実施の形態 2 において、単結晶 Si よりなる半導体基板 1 の代わりに支持基板 101、200 nm 厚の埋め込み酸化膜 105 上に構成された 10 nm 厚の単結晶 Si 膜 100 を用いて半導体装置を製造した。上記構造の単結晶 Si 膜は SOI (Silicon On Insulator) と称され素子間分離絶縁膜 2 と埋め込み酸化膜 105 により半導体装置を構成する単位 IGFET が互いに完全分離されることに特徴を有し、且つソース、ドレイン拡散層 55、56、550、560 の底面成分、又は電界が印加された状態における空乏層底面成分が埋め込み酸化膜 105 に接する構成では拡

散層容量が厚い埋め込み酸化膜容量との直列接続となるため、寄生容量の低減化も実現されて高速、低電力性で際立った特性を有する。

#### 【 0 0 4 9 】

本実施の形態に基づき製造された半導体装置においては、前記実施の形態 2 におけるソース、ドレイン拡散層活性化に要したレーザー照射エネルギーに比べて約 2 / 3 に低下させても同様な活性化効果を得る事ができた。上記は拡散層 5 5、5 6、5 5 0、5 6 0 の活性化に要する熱が埋め込み酸化膜 1 0 5 の存在のために支持基板 1 0 1 へ放熱され難く、従ってより低エネルギーのレーザー光照射でも非晶質層が十分に加熱されるためと考えられる。

#### 【 0 0 5 0 】

本実施の形態に基づく半導体装置が構成される単結晶 S i 膜 1 0 0 として 1 0 n m と極薄で完全空乏型 I G F E T が構成素子となる場合について記載したが、上記膜厚は 1 0 0 n m 以上と厚く、所謂部分空乏型 I G F E T が構成素子となる場合についても同様に適用できる。

#### 【 0 0 5 1 】

本実施例では、単結晶 S i よりなる半導体基板 1 の代わりに S O I 基板を用いた場合を示したが、単結晶 S i よりなる半導体基板 1 の代わりにガラス基板上に構成された多結晶 S i 膜を用いても良い。また、ガラス基板 1 1 0 の代わりに石英基板とし、多結晶 S i 膜の代わりに単結晶 S i 膜とする構造の結晶基板であっても良い。後者は所謂ウエーハ貼り合わせ技術により市販されており、高価である点を除けば何ら問題がない。

#### 【 0 0 5 2 】

##### < 実施の形態 8 >

図 2 1 から図 2 3 は、本発明の第 8 の実施の形態による半導体装置の構成素子である N 導電型 I G F E T の製造工程順を示す断面図であり、図 2 4 はその完成断面図である。前記実施の形態 2 に従って、ゲート電極 4 とゲート保護絶縁膜 4 4 のパターニングを施したが、本実施の形態においては 5 0 n m 厚の多結晶 S i 膜と、1 0 n m 厚のシリコン酸化膜及び 4 0 n m 厚のシリコン窒化膜よりなる積層絶縁膜をパターニングして各々ゲート電極 4、ゲート保護膜 4 4 とした。本実

施の形態においては多結晶 Si 膜の低抵抗化のための不純物導入は省略した。しかる後、前記実施の形態 2 に従って浅い非晶質層 58 を含む浅い高濃度ソース拡散層 55、浅い高濃度ドレイン拡散層 56 の形成、ゲート側壁絶縁膜 72 の形成から極浅矩形高濃度拡散層 550、560 の形成、及び拡散層の活性化に至るレーザー光照射熱処理の実施とレーザーエネルギー吸収膜 6 や反射防止膜 8 等レーザー光照射熱処理に用いた材料を選択除去した後、高濃度に P が添加された 80 nm 厚の Si 膜 81 を全面に堆積した。尚、相補型 IGFET の場合は B が高濃度に添加された Si 膜と Si 酸化膜の積層膜の堆積とパターニングによる P 導電型 IGFET 領域上への選択残置に引き続いて上記の P 添加 Si 膜の堆積と N 導電型 IGFET 領域上へのパターニングによる選択残置を施してから上記の Si 酸化膜を除去すればよい (図 21)。

#### 【0053】

図 21 の状態より配線層間絶縁膜 400 上に堆積されている Si 膜 81 をシリコン窒化膜 41 を研磨終点とする機械的・化学的研磨により選択的に除去した。しかる後、シリコン窒化膜 41 を熱リン酸溶液により選択的に除去しゲート電極 4 表面も露出させた。この時 Si 膜 81 も僅かにエッチングされる (図 22)。

#### 【0054】

図 22 の状態より前記実施の形態 2 に従って Si 膜 81 とゲート電極 4 を Co による珪化处理を施したが、本実施の形態においては 50 nm 厚のゲート電極 4 全てを珪化し金属珪化ゲート電極とした。この時ソース、ドレイン拡散層上の金属珪化膜 89 下部には Si 膜 81 が残置され、極浅矩形高濃度拡散層 550、560 に達することはない (図 23)。

#### 【0055】

図 23 の状態より、前記実施の形態 2 に従って第二の配線層間絶縁膜 85 の堆積と平坦化研磨、及び所望領域への開孔、開孔部への配線金属 86 の埋め込みと平坦化处理、ソース電極 87、及びドレイン電極 88 を含む配線工程等を実施し半導体装置を製造した (図 24)。

#### 【0056】

本実施の形態に基づき製造された半導体装置においては前記実施の形態 2 に基



づく半導体装置の特徴を全て有している。加えて、Siゲート電極の加工精度を保持した超微細の金属珪化膜ゲート電極を構成できるためSiゲート電極の問題点であるゲート電極側の空乏化に基づく実効ゲート膜厚の増大、即ち一定電源電圧における駆動電流の相対的低下が解消され、低電圧電源においても大電流化が達成できた。具体的には従来Siゲート電極の半導体装置においては物理的ゲート絶縁膜の膜厚に対して電気容量として現れる実効ゲート絶縁膜の膜厚がSi酸化膜換算で0.8nm程度ゲート空乏化により厚く作用したのに対し、本実施の形態における半導体装置においてはゲート絶縁膜の物理的膜厚と電氣的膜厚はほぼ同一にできた。

#### 【0057】

更に本実施の形態に基づく半導体装置においてはゲート電極に高濃度の不純物を添加しなくても従来珪化Siゲート電極の1/5程度までに低抵抗化されるため、ゲート電極内の高濃度添加不純物、特にP導電型IGFETにおけるB、のゲート絶縁膜突き抜けに基づく閾電圧ばらつきの不良から本質的に解消された。更に本実施の形態に基づく半導体装置においてはゲート電極材料が金属珪化膜であるため、Siゲート電極との仕事関数の違いにより閾電圧値が0.5V程度上昇する。これは従来の超微細半導体装置における閾電圧値低下を防止するために高濃度のチャネル不純物の注入が不可欠であり、そのために不純物散乱による移動度の低下が不可避であった事実に対し、高濃度のチャネル不純物の注入が不要となったことを意味する。即ち、本実施の形態に基づく半導体装置においてはチャネル不純物濃度の低減に基づく駆動電流の増大が実現できた。ここにおいて、極浅矩形高濃度拡散層よりなるソース、ドレイン拡散層の実現がパンチスルー電流の抑制、即ち短チャネル効果の防止と直列抵抗の飛躍的低減に画期的役割を果たしたことは言うまでもない。本実施の形態において、ソース、ドレイン拡散層上の珪化膜は半導体基板内部には到達しないように構成できる。これにより珪化膜金属が極浅接合を突き抜け、接合不良となることも防止できる。

#### 【0058】

##### <実施の形態9>

図25から図26は、本発明の第9の実施の形態によるバイポーラトランジス

タと I G F E T が混載された所謂 B i C M O S と称される半導体装置の製造工程順を示す断面図、図 27 はその完成断面図である。図において、簡略化のためにバイポーラトランジスタは N-P-N 型 S i G e ヘテロ接合バイポーラトランジスタと N 型 I G F E T のみを示しているが、一般的には同一基板内に相補型 I G F E T とバイポーラトランジスタが混載されるのが通例であり、本実施の形態は当然上記通例の半導体装置に適用できることは言うまでもない。また、バイポーラトランジスタは本実施の携帯のごとき S i G e ヘテロ接合ベースではなく、通常のベース接合で構成されていても何ら問題ない。上記の各断面図において、右半分はバイポーラトランジスタ領域を、左半分は N 型 I G F E T 領域を示している。

#### 【0059】

本実施の形態においては、公知の手法に基づき、半導体基板 1 にまず超高速バイポーラトランジスタを製造する。公知のバイポーラトランジスタの製造工程に基づき、埋込み N 導電型高濃度拡散層 200、素子間分離絶縁膜 2、エピタキシャル成長に基づくコレクタ層 201、ベース・コレクタ分離絶縁膜 20 を形成した。本実施の形態においてはこの状態より I G F E T 形成予定領域の半導体基板主表面に前記実施の形態 1 に基づきゲート絶縁膜 3、及びゲート電極 4 を構成する多結晶 S i 膜の堆積、ゲート電極保護絶縁膜(図示せず)の堆積とバイポーラトランジスタ形成領域における多結晶 S i 膜及びゲート電極保護絶縁膜の選択除去を施した。しかる後、高濃度に硼素 (B)、及び G e が添加された 70 nm 厚程度の S i G e 混晶膜を絶縁膜 20 上も含めてコレクタ層 201 上にエピタキシャル成長させてから所望領域以外の S i G e 混晶膜を選択除去してベース層 203 とした。エピタキシャル成長において、G e の含有はコレクタ側で 15%、エミッタ側で 5% 程度になるごとく濃度勾配を持たせて形成した。なお、絶縁膜 20 上では多結晶領域 204 となる。しかる後、B が高濃度に添加された多結晶シリコン膜の堆積とそのパターニングによりベース引出し電極 204 とした。

#### 【0060】

次にエミッタとベース領域を絶縁分離する絶縁膜 204 の堆積と絶縁膜 206 とベース引出し電極 204 のエミッタ形成予定領域への開口、並びに開口側壁へ

の絶縁膜 206 の選択残置を施してからエミッタ引出し電極を構成する高濃度に  
燐が添加された多結晶シリコン膜の堆積とそのパターニングによりエミッタ引出  
し電極 210 を形成した。IGFET 形成予定領域において、絶縁膜 204 やエ  
ミッタ引出し電極 210 を形成した多結晶シリコン膜も選択除去してから、ゲー  
ト電極 4 への不純物添加とそのパターニングを施した。上記パターニングはエミ  
ッタ引出し電極のパターニングと同一工程で実施しても良い。しかる後、ゲー  
ト電極 4 とエミッタ引出し電極 210 に添加した高濃度不純物の活性化を高温短時  
間熱処理により施してから IGFET 形成領域において、ゲート電極をイオン注  
入マスクとする極浅接合ソース 55 及びドレイン拡散層 56 を形成し、ゲート電  
極側壁絶縁膜 72、及び深いソース拡散層 50、ドレイン拡散層 52 を前記実施  
の形態 1 に従って形成した。極浅のソース 55 及びドレイン拡散層 56 と深いソ  
ース拡散層 50、ドレイン拡散層 52 は非晶質状態を保持している。(図 25)

図 25 の状態から前記実施の形態 1 に従って 400℃以下の低温で 10 nm 厚  
の Al 酸化膜よりなる表面保護膜 39 と 90 nm 厚の Si 酸化膜 40 等を全面に  
堆積してから機械的・化学的研磨によりゲート電極 4 上に突出している Si 酸化膜  
40 等を選択的に除去してから IGFET 形成予定領域において、ゲート電極 4  
を跨ぎ、ソース拡散層 50、ドレイン拡散層 52 全体を含む領域、即ち素子間分  
離絶縁膜 2 領域以外の領域にほぼ対応するマスクで Si 酸化膜 40 等に開口を施  
し、Al 酸化膜 39 面を露出させた。続いてスパッタ法により 10 nm 厚のチタ  
ン (Ti) 膜、80 nm 厚のタングステン (W) 膜からなるレーザーエネルギー  
吸収膜 6 を連続して堆積させて開口内部を充填した。この状態から半導体装置の  
配線製造工程で通常使用されている化学的・機械的研磨法に基づいて高融点金属膜  
より成るレーザーエネルギー吸収膜 6 を研磨した。

#### 【0061】

次に平坦化された表面に 10 nm 厚で TiN 膜からなる反応防止膜 7 を全面に  
堆積し、続いて 50 nm 厚のシリコン膜を 400℃以下の温度で化学気相反応に  
より全面に堆積し、反射防止膜 8 とした。この状態より前記実施の形態 1 に従っ  
て全面にレーザー光照射を施し、非晶質層である極浅のソース 55 及びドレイン  
拡散層 56 と深いソース拡散層 50、ドレイン拡散層 52 を選択的に熔融、再固

相成長させた。

### 【0062】

本実施の形態においては I G F E T 領域におけるソース、ドレイン拡散層のみを活性化熱処理する手法を記載しているがバイポーラトランジスタにおけるエミッタ引出し電極 210 の活性化熱処理をソース、ドレイン拡散層の活性化熱処理と一括して施すことも可能である。この場合、S i 酸化膜 40 等への開口とレーザーエネルギー吸収膜 6 の開口内部への選択充填をエミッタ領域に施し、レーザー光照射を施せば良い。ここにおいて、エミッタ引出し電極 210 はレーザー光照射を施す直前まで非晶質製を保持させておくことが望ましい。(図 26)

図 26 の状態より前記実施の形態 1 に従って反射防止膜 8、反応防止膜 7、レーザーエネルギー吸収膜 6 を選択除去し、露出された表面保護膜 39 も除去してから前記実施の形態 1 に記載の形成工程に準じて露出されたソース、ドレイン拡散層やゲート電極、コレクタ拡散層、ベース引出し電極、及びエミッタ引出し電極上に選択的に金属珪化膜 89 を残置させた。しかる後、配線層間絶縁膜 85 の形成とその表面の平坦化研磨、及びコンタクト孔の形成とその内部へのコンタクト孔内配線金属 86 の選択残置、ソース電極 87、ドレイン電極 88、コレクタ電極 211、エミッタ電極 212、及びベース電極 213 を含む電極と配線を所望の回路構成に従って構成し半導体装置とした。(図 27)

本実施の形態に基づき製造された半導体装置においては製造工程、特に熱負荷条件が全く異なるバイポーラトランジスタと I G F E T が同一半導体基板に隣接して配置された B I C M O S 型半導体装置において、高性能バイポーラトランジスタと高性能 I G F E T の各々の最適熱処理条件を互いに独立に適用して製造することができるので、バイポーラトランジスタと I G F E T の何れにおいても高性能な B I C M O S トランジスタの両立を実現することができた。これは従来の B I C M O S が高性能性を犠牲にした I G F E T と高性能バイポーラトランジスタ、又は高性能性を犠牲にしたバイポーラトランジスタと高性能 I G F E T の何れかの組み合わせしか実現出来なかった現状を打破するものである。尚、本実施の形態では I G F E T とバイポーラトランジスタが同一半導体基板に配置された半導体装置に関して記載したが、上記は不揮発性メモリトランジスタや容量素子

等、通常構造 I G F E T と構造、又は性能を異にする半導体素子、と通常構造 I G F E T が同一基板内に配置された半導体装置に関しても同様に適用できることは言うまでもない。

### 【0063】

#### <実施の形態 10>

図 28 は、本発明の第 10 の実施の形態による I G F E T を主たる構成素子とする半導体装置の完成断面図である。前記実施の形態 1 に従って、ソース、ドレイン拡散層の活性化熱処理を施す。本実施の形態に基づく半導体装置においては上記活性化処理はレーザー光照射に依らず、従来公知の短時間高温熱処理に基づいてもよい。ソース、ドレイン拡散層の熱処理の後、さらに前記実施の形態 1 に従って、反射防止膜 8、反応防止膜 7、レーザーエネルギー吸収膜 6 を選択除去し、露出された表面保護膜 39 も除去してから前記実施の形態 1 に記載の形成工程に準じて露出されたソース、ドレイン拡散層やゲート電極上に選択的に金属珪化膜 89 を残置させた。しかる後、TiN からなる反応防止金属膜の全面堆積及び W からなる配線金属の全面堆積とその表面の平坦化研磨によりコンタクト孔内に配線金属 86 を選択残置させた。

### 【0064】

本実施の形態に基づき製造された半導体装置においては、極浅及び深い拡散層からなるソース、ドレイン拡散層のほぼ全領域上で金属配線材料により上部配線と接続できるため直列抵抗を十分に低下でき、大電流高速動作が可能となった。これはゲート電極及びゲート側壁絶縁膜上に延在させた Al を主たる構成原子とする表面保護膜 39 が Si 酸化膜（配線層間絶縁膜）40 のパターニングに対し十分な耐性を有し、ゲート電極を跨ぐ開口に対してもゲート電極との短絡の問題を解消できる特性を有していることに基づく。これによりソース、ドレイン拡散層のほぼ全領域上でコンタクト孔を形成できたためである。

### 【0065】

#### <実施の形態 11>

図 29 は、本発明の第 11 の実施の形態による I G F E T を主たる構成素子とする半導体装置の完成断面図である。前記実施の形態 2 に従って、ソース、ドレ

イン拡散層の活性化熱処理を施す。本実施の形態に基づく半導体装置においては上記活性化処理はレーザー光照射に依らず、従来公知の短時間高温熱処理に基づいてもよい。ソース、ドレイン拡散層の熱処理の後、さらに前記実施の形態 1 に従って、反射防止膜 8、反応防止膜 7、レーザーエネルギー吸収膜 6 を選択除去し、露出された表面保護膜 3 9 も除去してから前記実施の形態 1 に記載の形成工程に準じて露出されたソース、ドレイン拡散層に半導体膜の選択積上げとその選択的金属珪化膜 8 9 の残置を施した。しかる後、T i N からなる反応防止金属膜の全面堆積及び W からなる配線金属の全面堆積とその表面の平坦化研磨、によりコンタクト孔内に配線金属 8 6 を選択残置させた。

#### 【0 0 6 6】

本実施の形態に基づき製造された半導体装置においては、極浅拡散層とその上部に選択的に残置された半導体薄膜からなるソース、ドレイン領域のほぼ全領域上で金属配線材料により上部配線と接続できるため直列抵抗を十分に低下でき、大電流高速動作が可能となった。これはゲート電極及びゲート側壁絶縁膜上に延在させた A 1 を主たる構成原子とする表面保護膜 3 9 が S i 酸化膜（配線層間絶縁膜）4 0 のパターンニングに対して十分な耐性を有し、ゲート電極を跨ぐ開口に対してもゲート電極との短絡の問題を解消できる特性を有していることに基づく。これによりソース、ドレイン領域のほぼ全面でコンタクトを実現できたためである。

#### 【0 0 6 7】

##### <実施の形態 1 2>

前記実施の形態 1 において、反射防止膜 8 を反応防止膜 7 上の全面に堆積し、その膜全面を残したまま、レーザー照射を行なっている。本実施の形態 1 2 では、所望領域以外の反射防止膜 8 を選択的に除去した場合を示す。反応防止膜 7、及びレーザーエネルギー吸収膜 6 に関しても同一マスクにより選択除去しても何ら問題ない。（図 3 0）

本実施の形態に基いて製造された半導体集積回路においては、素子間分離絶縁膜上等に構成された受動素子、例えば金属・絶縁膜・金属構造の容量素子、リアクタンス素子等の大面積で且つ拡散層を有しない素子領域を予めレーザー照射加熱

の影響から完全に除外することができる。これにより、高周波半導体集積回路等における拡散層のレーザー照射活性化が適用可能となり、更に低電力、高周波動作の可能な半導体集積回路を実現可能とすることができる。

### 【0068】

#### <実施の形態13>

図31は、本発明の第13の実施の形態による半導体集積回路の構成素子であるN導電型IGFETの製造工程順を示す断面図であり、図32はレーザー熱処理工程実施直前を示すN導電型IGFETを構成素子とする半導体集積回路の断面図である。面方位(100)、P導電型、直径20cmの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域2の形成、閾電圧調整用イオン注入と活性化熱処理を公知の半導体集積回路の製造手法によって実施した。更に熱酸化膜1.8nmの形成とその表面をNOガスにより窒化することにより0.2nmの窒化膜を積層形成し、ゲート絶縁膜3とした。上記窒化膜はSi熱酸化膜よりも比誘電率が大きく、Si熱酸化膜と電氣的等価な光学的膜厚は約2倍厚に対応する。続いてゲート絶縁膜3上に多結晶Si膜とシリコン酸化膜を各々50nm、10nmの膜厚で化学気相堆積法により連続して堆積し、そのパターニングによるゲート電極4、及び素子間分離絶縁膜上におけるダミーゲート電極400とゲート保護膜(図示せず)の形成を従来公知のIGFETの製造方法により実施した。多結晶Si膜への高濃度不純物の添加はPをイオン注入法により実施した。上記ゲート電極の幅、即ちゲート長の最小値は30nm、ゲート電極間最小間隔は90nm、ゲート電極の高さはゲート保護絶縁膜45も含めて60nmである。ゲート電極4の形成後、該電極を注入阻止マスクとするAsのイオン注入を加速エネルギー3keV、注入量 $5 \times 10^{15} / \text{cm}^2$ なる条件で実施し、非晶質層58を含む極浅ソース拡散層55及び極浅いドレイン拡散層56を形成した。上記イオン注入はゲート電極側壁に絶縁膜を選択残置させ、該絶縁膜を注入阻止マスクとして用いても何ら問題ない。この手法によりゲート電極端部と高濃度ソース、ドレイン拡散層端の間隔を変えることができ、パンチスルー耐圧の向上を図ることも可能となる。この状態より350℃の低温度によりシリコン酸化膜を30nmの厚さで全面に堆積した後異方性エッチングを施してゲー

ト電極 4 及びダミーゲート電極 400 の側壁部に選択的に残置してゲート側壁絶縁膜 70 とした。続いてゲート電極 4 とゲート側壁絶縁膜 70 を注入阻止マスクとする As のイオン注入を加速エネルギー 40 keV、注入量  $4 \times 10^{15} / \text{cm}^2$  なる条件で実施し、非晶質層 59 を含む深いソース拡散層 50 及び深いドレイン拡散層 51 を形成した。(図 3 1)

図 3 1 の状態より前記実施の形態 1 に従って表面保護膜、Ti 膜と W 膜からなるレーザーエネルギー吸収膜 6 を連続して堆積させた。本実施の形態においては表面保護膜として 5 nm 厚のシリコン窒化膜を、Ti 膜は 10 nm、W 膜は 50 nm の膜厚とした。上記の成膜は何れも 400℃ 以下の低温で実施した。続いて前記実施の形態 1 に従い化学的機械的研磨法に基いて高融点金属膜より成るレーザーエネルギー吸収膜 6 を研磨した。研磨の終点は時間で制御決定した。上記選択研磨により下地凸部上の高融点金属膜を完全に除去し、下地凹部領域のみに高融点金属膜よりなるレーザーエネルギー吸収膜 6 を選択残置した。次に 10 nm 以下の膜厚で平坦化された表面に TiN 膜からなる反応防止膜 7 を全面に堆積し、続いて 200 nm 厚の非晶質シリコン膜を 400℃ 以下の温度で化学気相反応により全面に堆積し、反射防止膜 8 とした。(図 3 2)

図 3 2 の状態より半導体レーザーによる励起を用いた YAG レーザーを照射し、レーザーエネルギー吸収膜 6 の極短時間加熱により高濃度極浅ソース、ドレイン拡散層 55、56 と深いソース、ドレイン拡散層 50、51 内の非晶質層 58 及び 59 は同時に熔融し、その後固相成長した。照射波長は 1064 nm、照射パルスの半値幅は 90 ns、照射エネルギー密度は  $650 \text{ mJ} / \text{cm}^2$  であった。照射面積は  $5 \times 5 \text{ mm}^2$  であり、全面照射においては、最大エネルギー密度の 95% 以下の領域が互いに重畳するごとく実施した。上記レーザー光照射により下地高濃度ソース、ドレイン拡散層 50、51 の非晶質層 59 は瞬間的に熔融した後、再結晶化した。極浅ソース、ドレイン拡散層のイオン注入と同一条件で別途用意した試料に関して二次イオン質量分析法による半導体基板内深さ方向の不純物分布を測定したが、熔融過程で不純物の As は熔融領域で  $5 \times 10^{21} / \text{cm}^3$  程度の均一矩形高濃度になるごとく再分布しその厚さは約 15 nm であることが明らかになった。上記不純物分布での最大濃度勾配は  $2.3 \text{ nm} / \text{decade}$



と活性化前のイオン注入直後における最大濃度勾配  $3.5 \text{ nm/decade}$  よりも更なる急峻化が実現された。ゲート電極端部直下、及びゲート電極間が最小寸法となる領域のソース、ドレイン拡散層 51 における微細領域の不純物分布に関して、別途準備した試料の断面透過電子顕微鏡によるエネルギー分散型スペクトル法を用いた高濃度不純物分布の観測でも均一矩形高濃度分布であることが確認された。また、ゲート電極の蒸発等に基づくパターン崩れ不良も全く存在公知しなかった。これはゲート電極 4 上にレーザーエネルギー吸収膜が配置されず、且つゲート側壁部はレーザーエネルギー吸収膜から  $30 \text{ nm}$  の厚い絶縁膜で隔離された構成によりレーザー照射によるゲート電極の加熱が十分に抑制されたためと考えられる。レーザー光照射による極浅及び深いソース、ドレイン拡散層の同時活性化処理の後、前記実施の形態 1 に従って反射防止膜 8 はドライエッチングで、反応防止膜 7、及びレーザーエネルギー吸収膜 6 はエッチング溶液にて各々選択的に除去し、ソース、ドレイン拡散層 50、51 表面を露出させた。この状態よりの IGFET を主構成要素とする半導体集積回路の製造方法に基きゲート電極 4、及びソース・ドレイン拡散層 50、51 上への選択的  $\text{CoSi}_2$  膜 89 の形成、配線層間絶縁膜 85 の堆積及び平坦化研磨と所望領域への開孔、開孔部への配線金属埋め込みと平坦化処理、ソース電極 87、及びドレイン電極 88 を含む配線工程等を実施し半導体集積回路を製造した。(図示せず)

上記の製造工程を経ることにより、溶融所望領域である極浅接合を有する高濃度ソース、ドレイン拡散層 55、56、及び深い接合を有する高濃度ソース、ドレイン拡散層 50、51 のゲート電極直下を除く非晶質層上の全ての領域を同時に、溶融化再固相化により活性化することができた。ここにおいて、レーザーエネルギー吸収膜 6 を下地形状に依らず均一に設計することができ、且つ溶融を所望しないゲート電極上には残存されず、ゲート電極の加熱はゲート上部及び側面部の何れからも抑制することができた。更に、反射防止膜 8 の膜厚は溶融所望領域上で  $200 \text{ nm}$  となり、 $1064 \text{ nm}$  YAG レーザーに対する吸収率が最大（反射率はほぼ零%）となる条件に活性化所望領域全てにおいて下地形状に依存せず一定に設定することができた。上記方法により製造されたゲート長  $30 \text{ nm}$  の N チャンネル IGFET の極浅ソース拡散層 50 及び極浅ドレイン拡散層 52 の接

合深さは約 10 nm、シート抵抗は  $150 \Omega/\square$  と活性化処理を  $1000^\circ\text{C}$ 、1 秒なる従来の短時間高温熱処理に基づいた場合の値、接合深さ 30 nm でシート抵抗  $450 \Omega/\square$ 、に比べて格段に浅接合化・低抵抗化が実現された。ゲート電極間隔が 90 nm と狭い領域に構成された極浅高濃度拡散層 51 の抵抗値も、IGFET の電流電圧特性の評価から  $150 \Omega/\square$  のシート抵抗に対応することが確認された。更にゲート電極間の極浅高濃度拡散層 51 の抵抗値はゲート電極間隔に依らないことも確認され、電子顕微鏡断面観察結果より明らかとなったごとく双晶等の結晶欠陥の存在は全く観測されず、ゲート電極間隔に依らず完全結晶化が達成された。

#### 【0069】

##### 【発明の効果】

本発明によれば半導体装置において、従来の高温短時間熱処理に基づく固相成長ソース・ドレイン拡散層では極浅低抵抗化で限界に達していた超微細化に対し、イオン注入により形成されたソース・ドレインの非晶質層に対してレーザー照射し、該非晶質層を選択液相成長することによりイオン注入時の不純物分布よりも更に急峻な高濃度矩形分布と固溶度の飛躍的向上による極浅低抵抗ソース・ドレイン拡散層を実現できる。

本発明によれば、レーザー加熱領域はゲート電極に対して自己整合的に選択でき、ゲート電極自体の加熱を伴わないため、ゲート電極の形状劣化や極薄ゲート絶縁膜を介したゲート電極添加不純物の漏洩拡散、さらにはゲート絶縁膜劣化等の不良を生じることはない。従って、半導体装置の更なる微細化高集積化が可能となり、半導体装置の更なる低消費電力化、高速動作化を可能にする効果がある。

また、本発明によれば、同一半導体基板内にバイポーラトランジスタと IGFET が混在して構成された所謂 BICMOS において、高性能バイポーラトランジスタの製造に最適な熱処理条件と高性能 IGFET 製造に最適な熱処理条件を同一半導体基板内で独立に選択実施することができるため、高性能バイポーラトランジスタと高性能 IGFET を同一半導体基板内で製造できる効果がある。

##### 【図面の簡単な説明】

**【図 1】**

本発明の第 1 の実施の形態による半導体装置の製造工程を示す断面図。

**【図 2】**

従来のトランジスタのレーザー熱処理工程を示す断面図。

**【図 3】**

本発明の第 1 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 4】**

本発明の第 1 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 5】**

本発明の第 1 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 6】**

本発明の第 1 の実施の形態による半導体装置の完成断面図。

**【図 7】**

本発明の第 2 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 8】**

本発明の第 2 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 9】**

本発明の第 2 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 1 0】**

本発明の第 2 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 1 1】**

本発明の第 2 の実施の形態による半導体装置の完成断面図。

**【図 1 2】**

本発明の第 3 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 1 3】**

本発明の第 4 の実施の形態による半導体装置の製造工程順を示す断面図。

**【図 1 4】**

本発明の第 3 及び第 4 の実施の形態による半導体装置の完成断面図。

**【図 1 5】**

本発明の第 5 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 1 6】

本発明の第 5 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 1 7】

本発明の第 5 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 1 8】

本発明の第 5 の実施の形態による半導体装置の完成断面図。

【図 1 9】

本発明の第 6 の実施の形態による半導体装置の製造工程途中を示す断面図。

【図 2 0】

本発明の第 7 の実施の形態による半導体装置の完成断面図。

【図 2 1】

本発明の第 8 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 2 2】

本発明の第 8 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 2 3】

本発明の第 8 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 2 4】

本発明の第 8 の実施の形態による半導体装置の完成断面図。

【図 2 5】

本発明の第 9 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 2 6】

本発明の第 9 の実施の形態による半導体装置の製造工程順を示す断面図。

【図 2 7】

本発明の第 9 の実施の形態による半導体装置の完成断面図。

【図 2 8】

本発明の第 1 0 の実施の形態による半導体装置の完成断面図。

【図 2 9】

本発明の第 1 1 の実施の形態による半導体装置の完成断面図。

## 【図 30】

本発明の第 12 の実施の形態による製造工程中の半導体装置断面図。

## 【図 31】

本発明の第 13 の実施の形態による製造工程中の半導体装置断面図。

## 【図 32】

本発明の第 13 の実施の形態による製造工程中の半導体装置断面図。

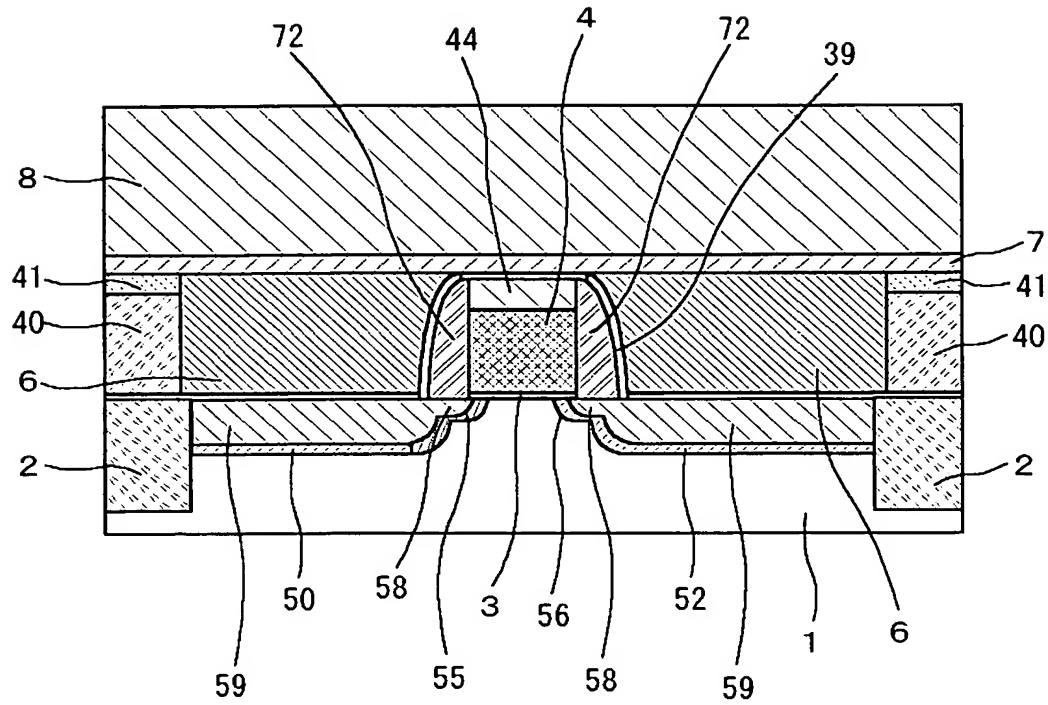
## 【符号の説明】

1…半導体基板、2…素子間分離絶縁膜、3…ゲート絶縁膜、4…ゲート電極、5…ソース拡散層、6…レーザーエネルギー吸収膜、7…反応防止膜、8…反射防止膜、39…表面保護膜（又は Al 酸化膜）、40…Si 酸化膜、41, 44…シリコン窒化膜、50…深い高濃度ソース拡散層、52…深い高濃度ドレイン拡散層、55…浅い高濃度ソース拡散層、56…浅い高濃度ドレイン拡散層、58…浅い非晶質層、59…深い非晶質層、65…保護絶縁膜、72…ゲート側壁絶縁膜、81…Si 膜、85, 91…配線層間絶縁膜、86, 90…コンタクト孔内配線金属、87…ソース電極、88…ドレイン電極、89…金属珪化膜、100…単結晶 Si 膜、101…支持基板、105…埋め込み酸化膜、199…高濃度拡散層、200…高濃度埋め込み層、201…コレクタ領域、202…SiGe ベース引出し電極、203…SiGe ベース領域、204…多結晶 Si ベース引出し電極、205, 206…絶縁膜、210…多結晶 Si エミッタ引出し電極、211…コレクタ電極、212…エミッタ電極、213…ベース電極、400…ダミーゲート電極、500, 520…深い矩形高濃度拡散層、550, 560…極浅の矩形高濃度拡散層。

【書類名】 図面

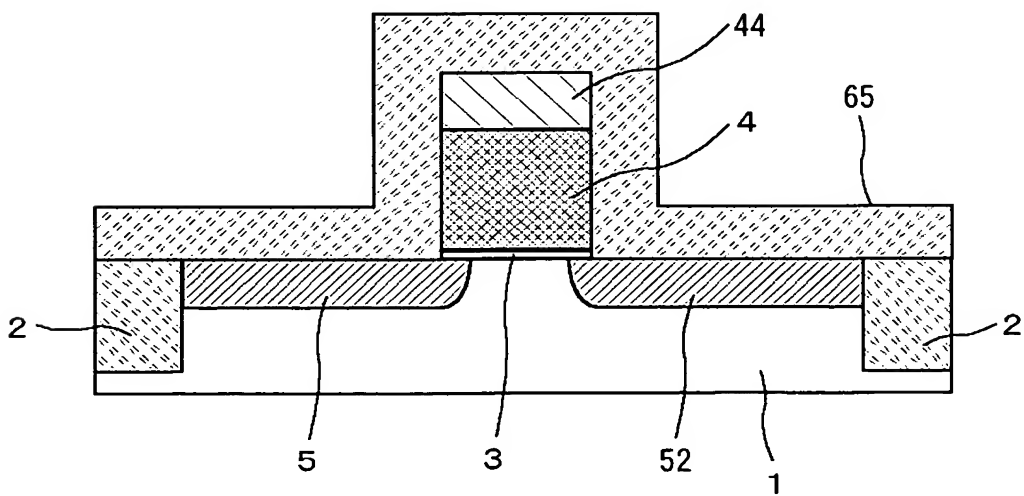
【図 1】

図 1



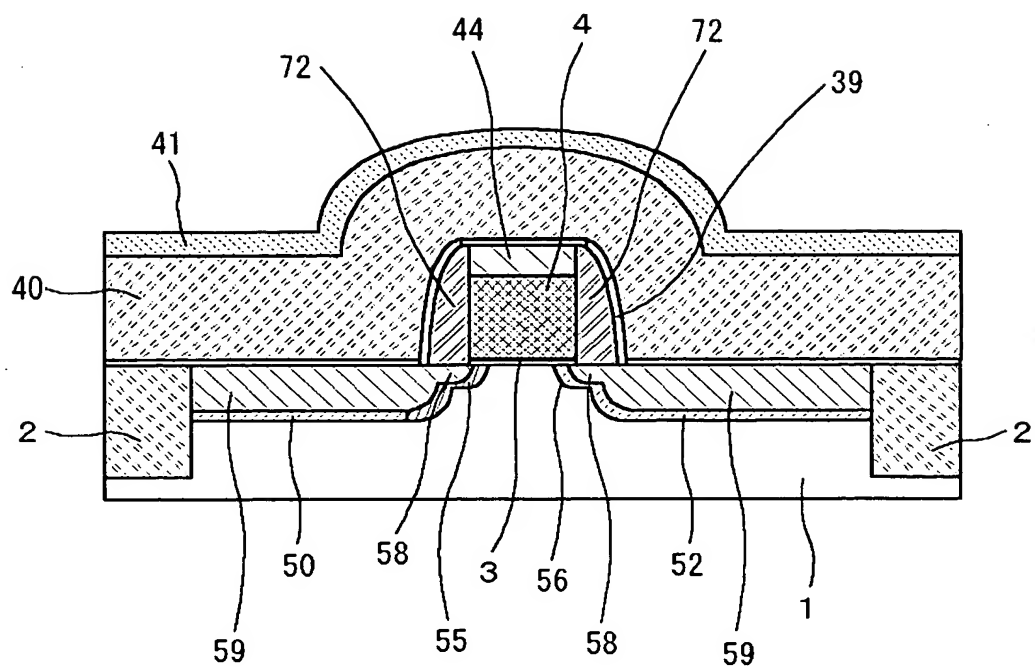
【図 2】

図 2



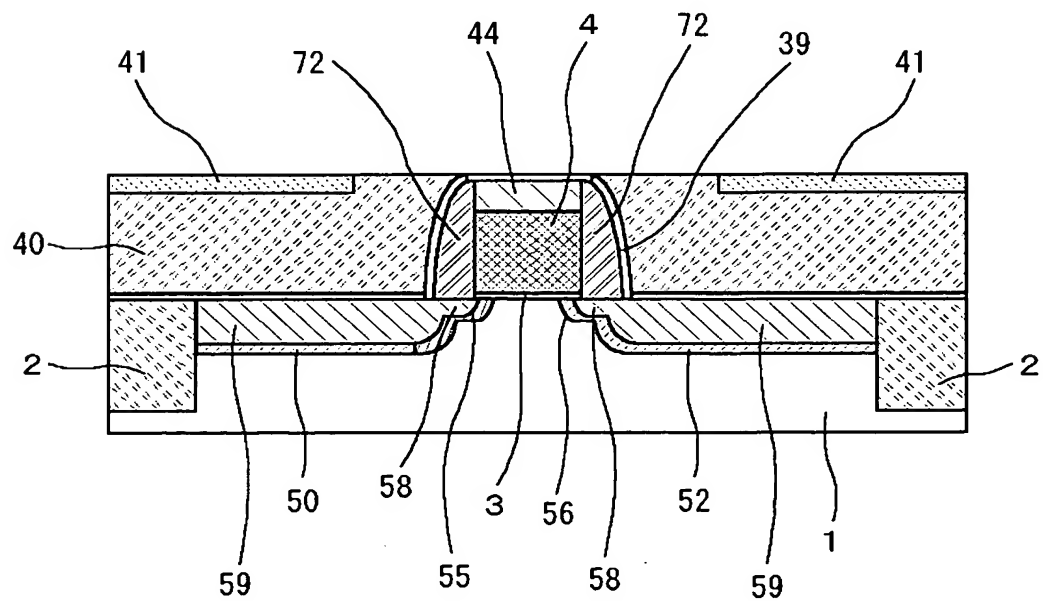
【図 3】

图 3



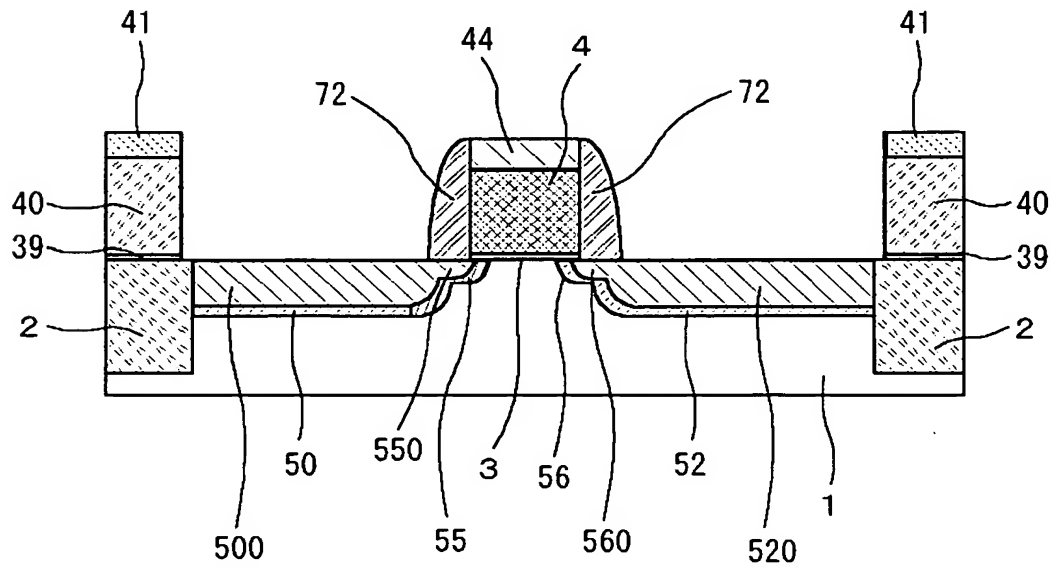
【図 4】

図 4



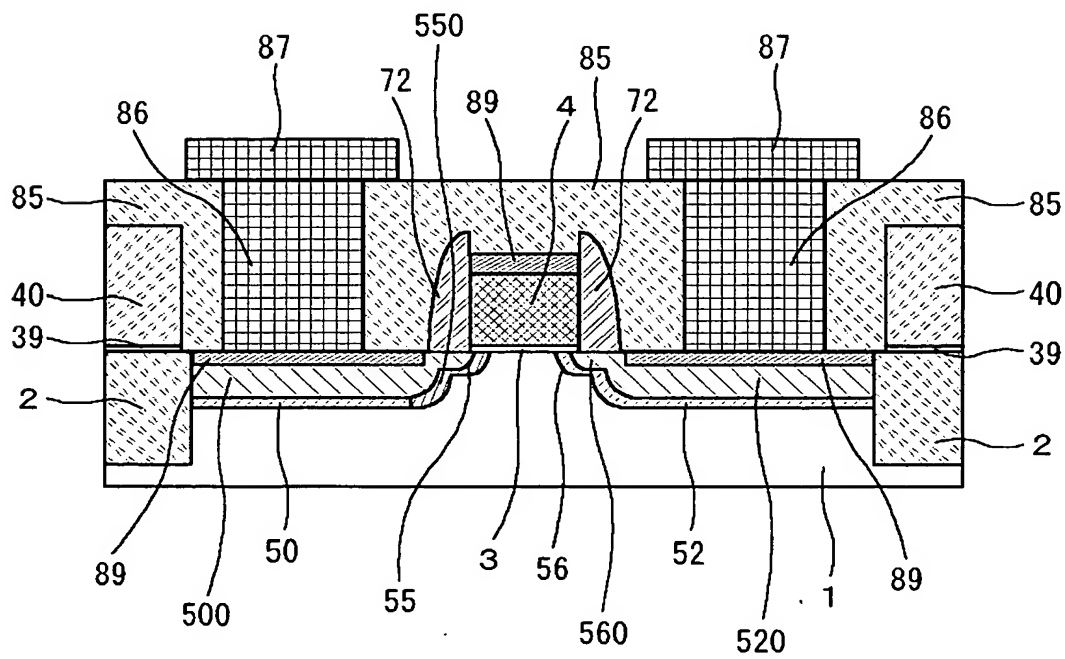
【図 5】

図 5



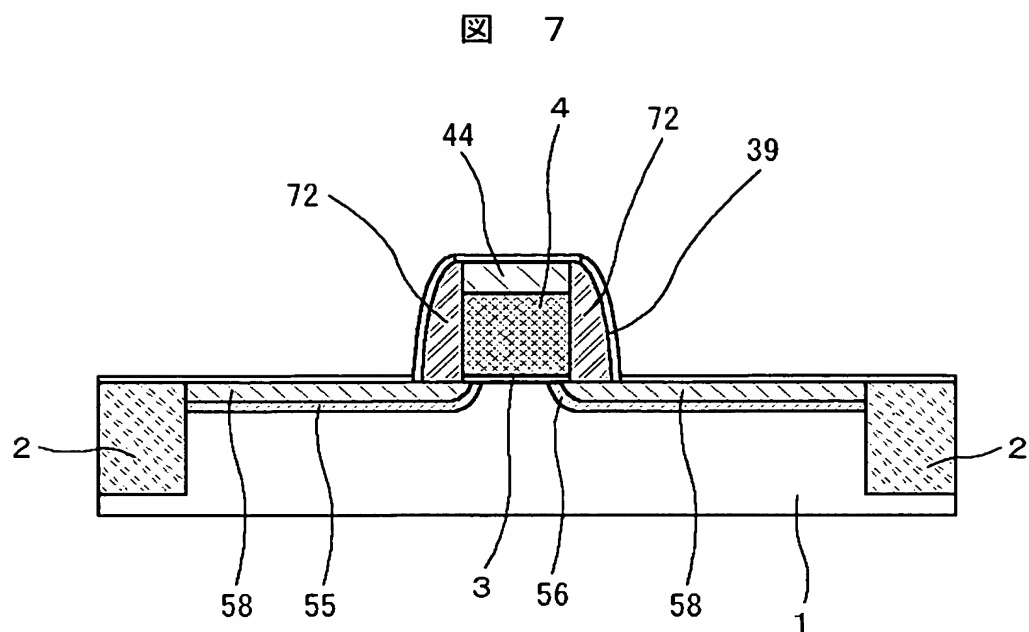
【図 6】

図 6

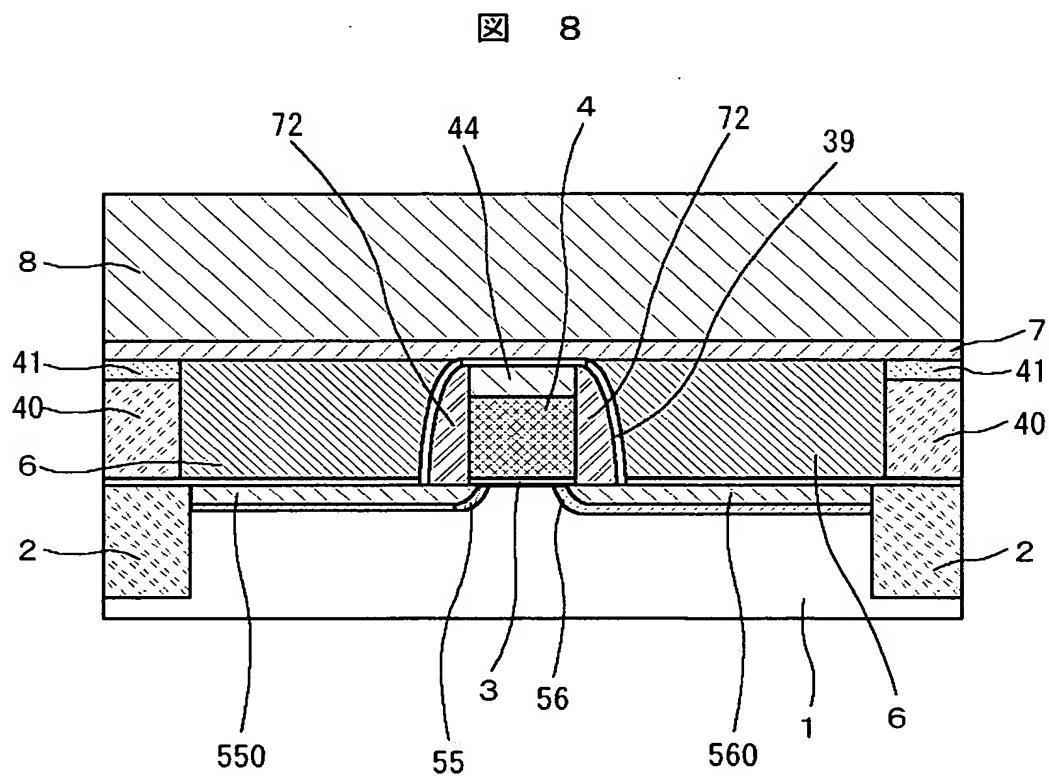




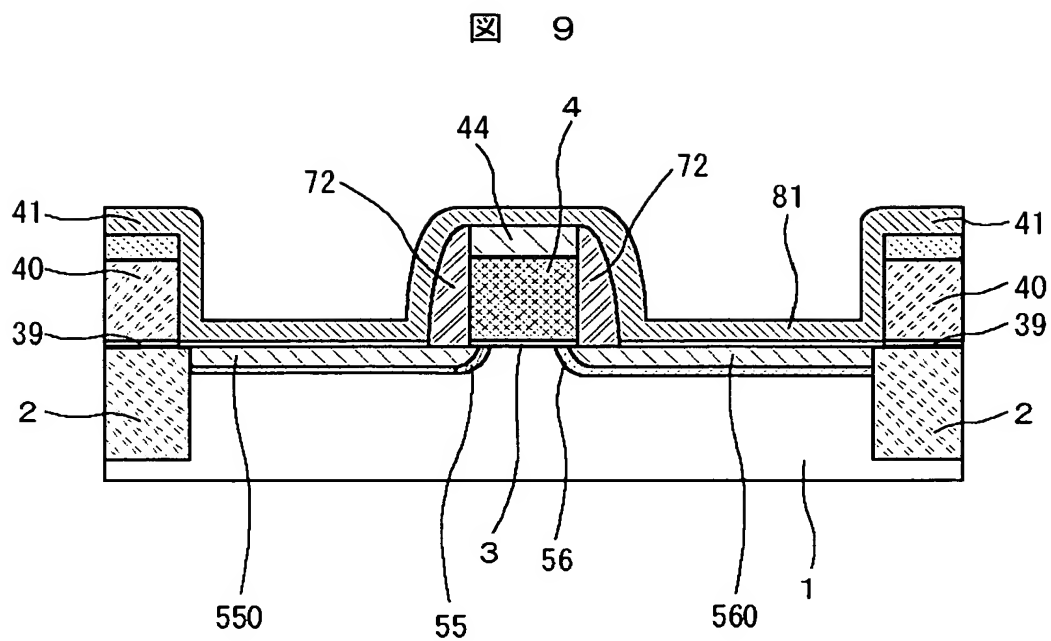
【図 7】



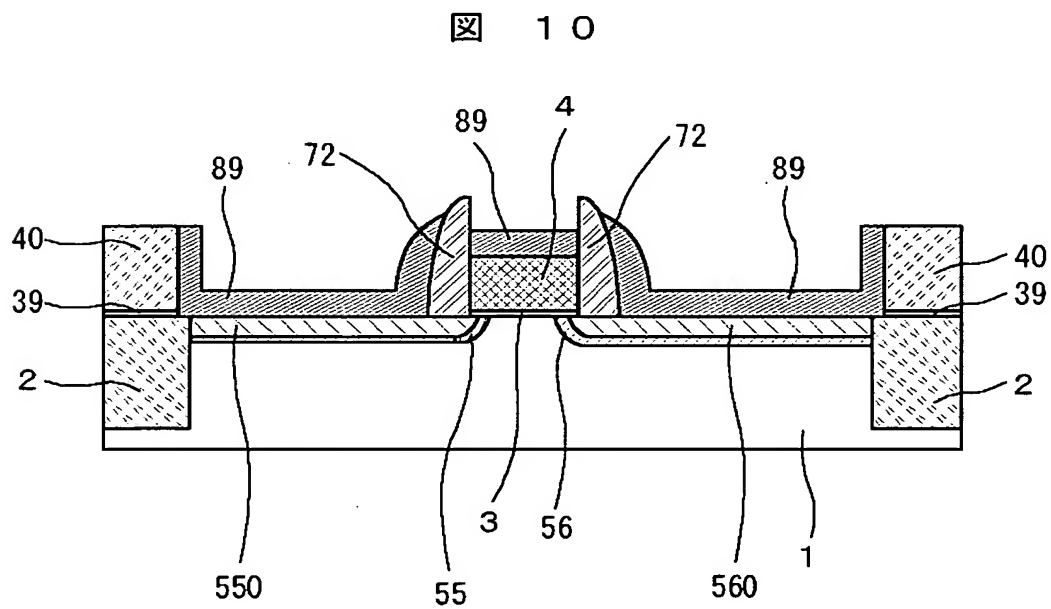
【図 8】



【図 9】

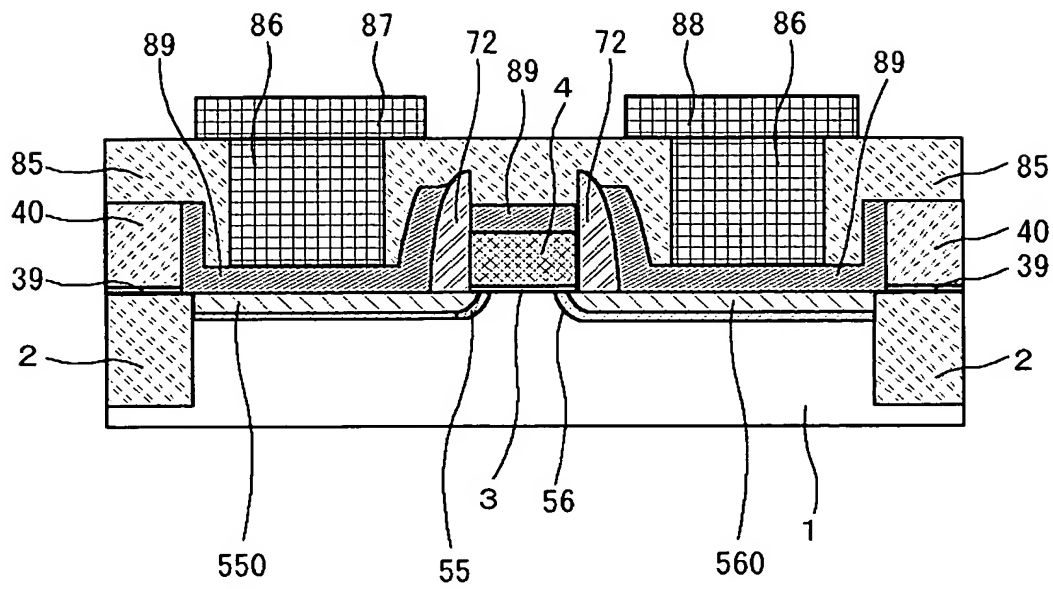


【図 10】



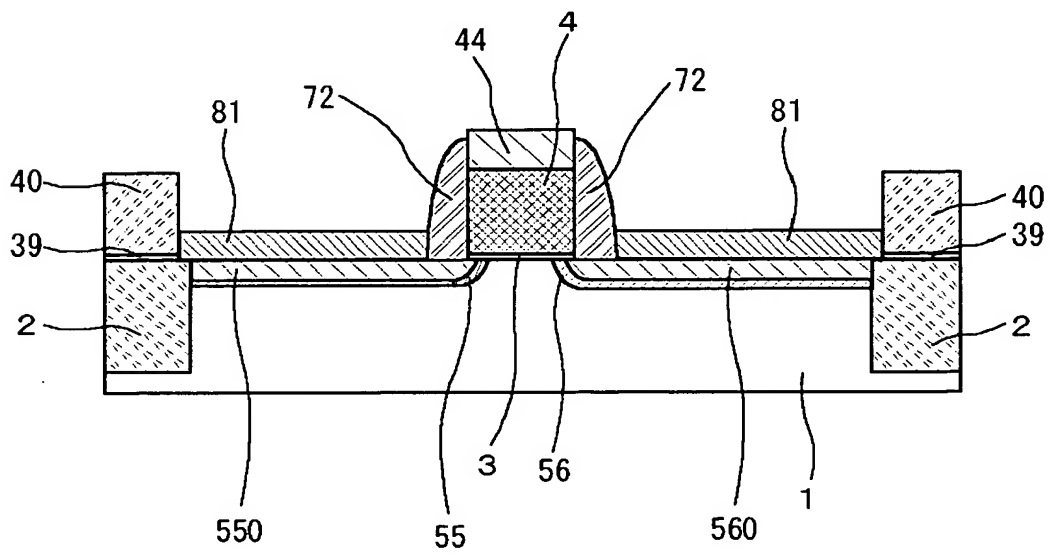
【図 1 1】

図 1 1



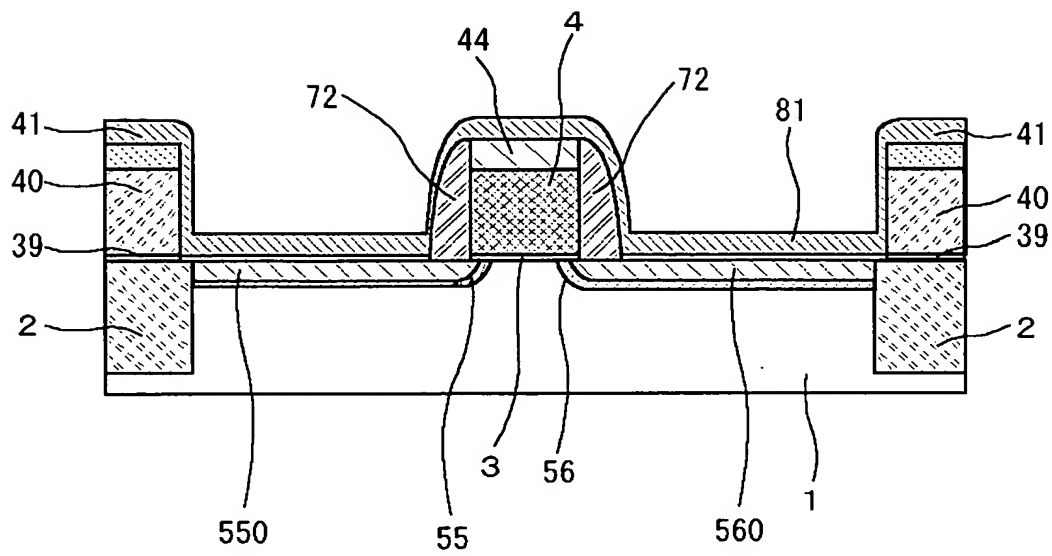
【図 1 2】

図 1 2



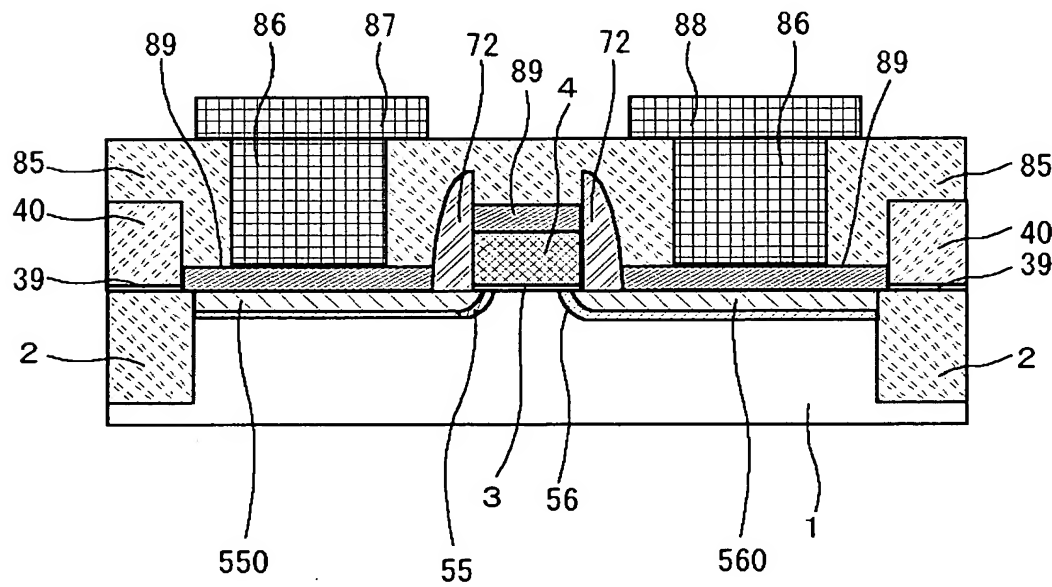
【図 13】

図 13



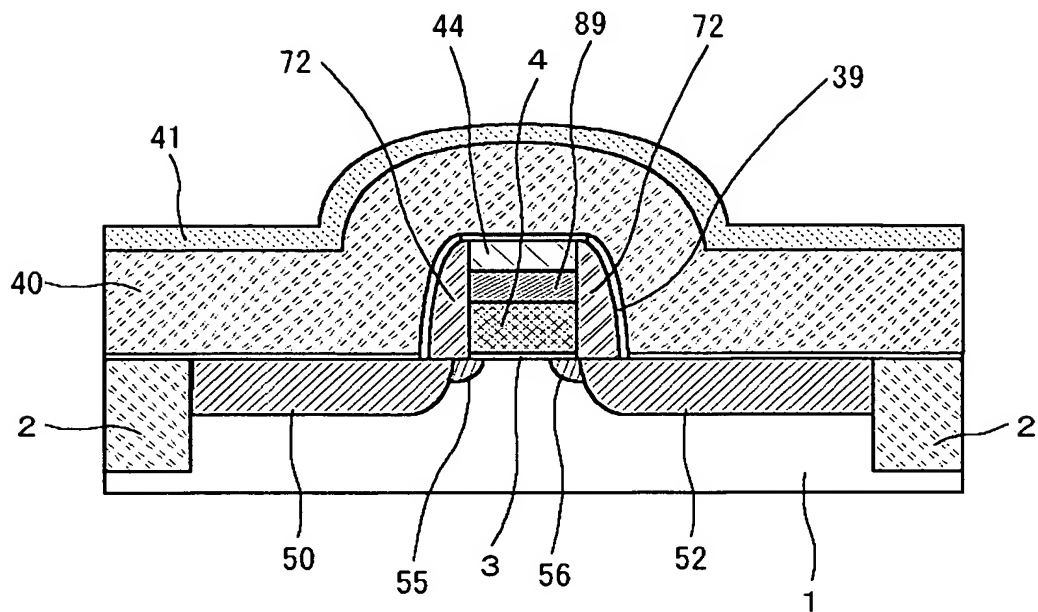
【図 14】

図 14



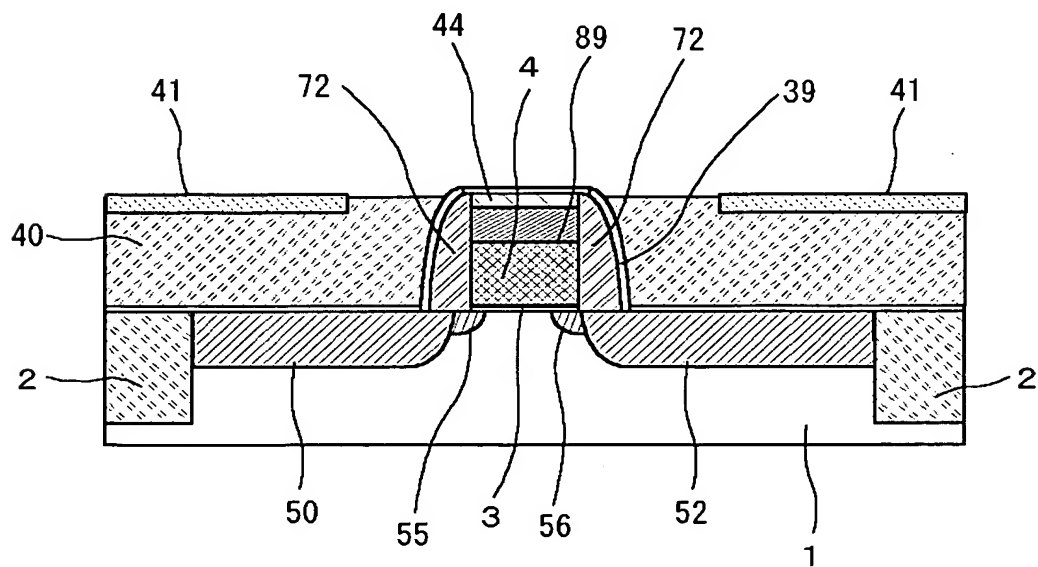
【図 15】

図 15



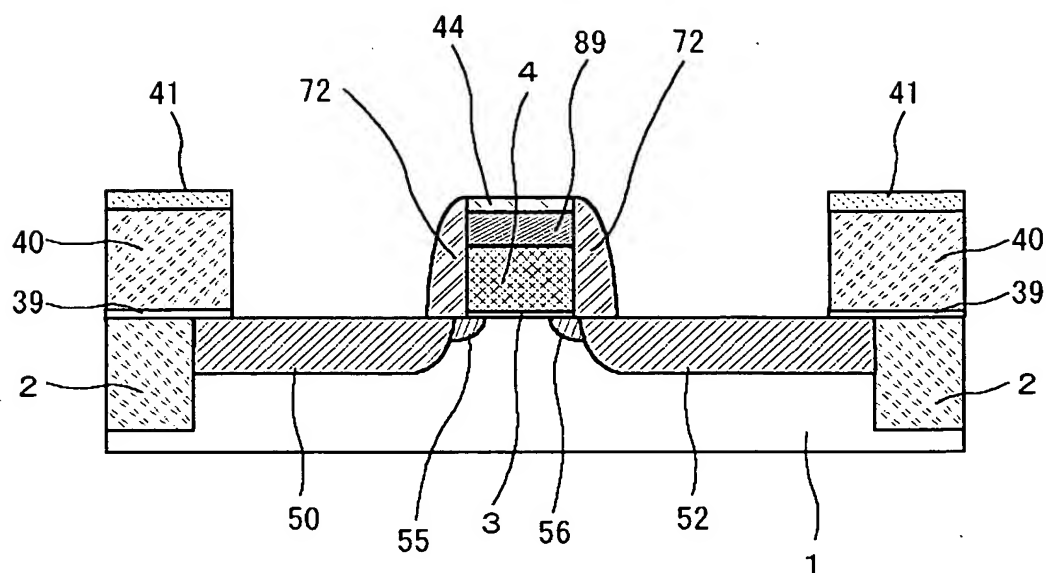
【図 16】

図 16



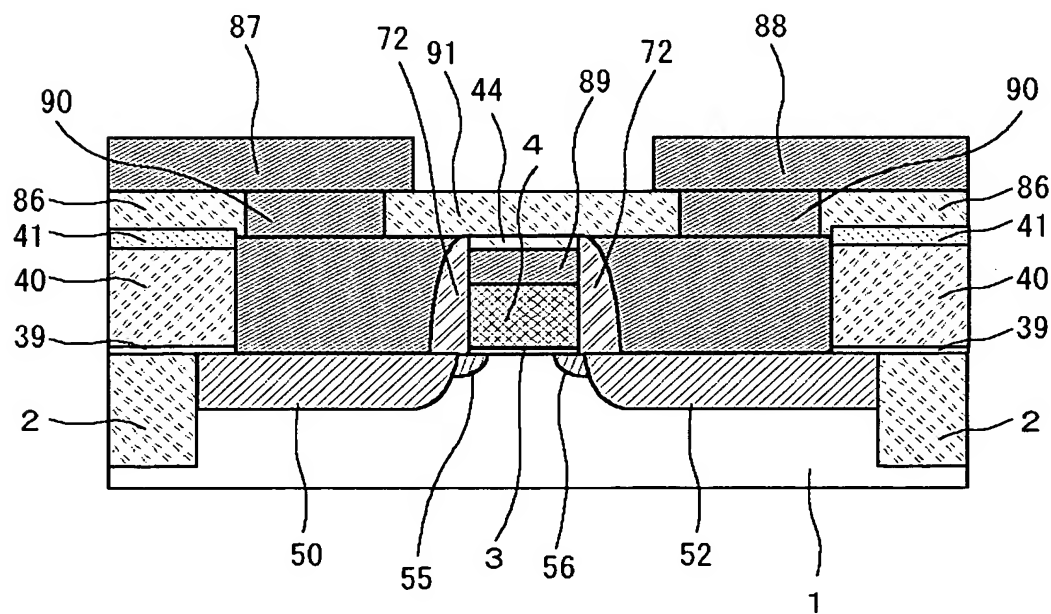
【図 17】

図 17



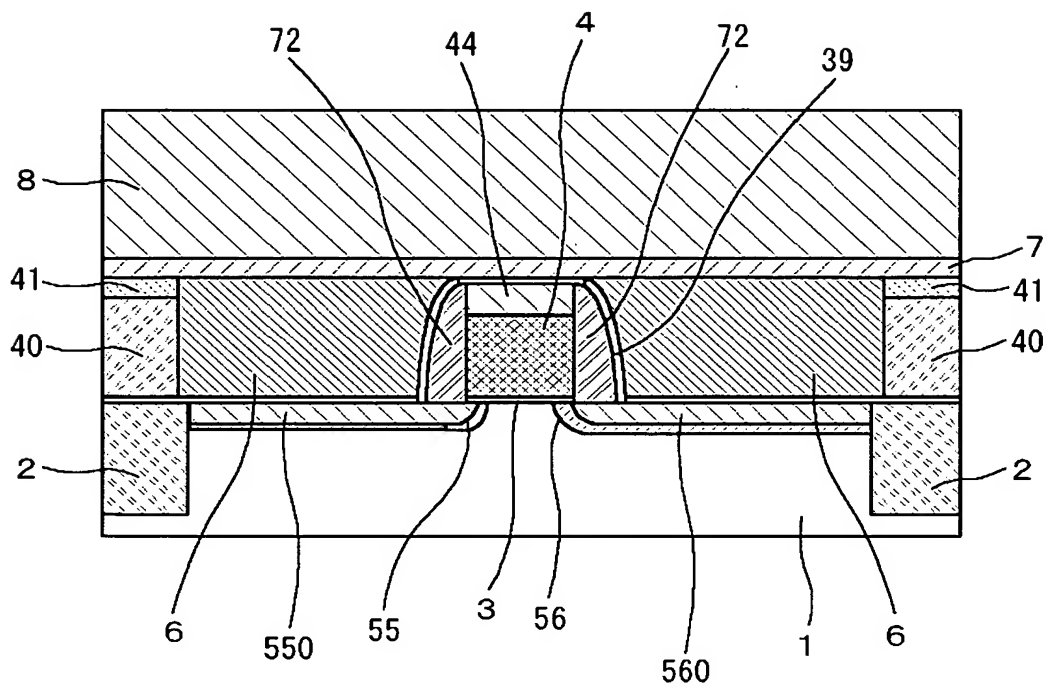
【図 18】

図 18



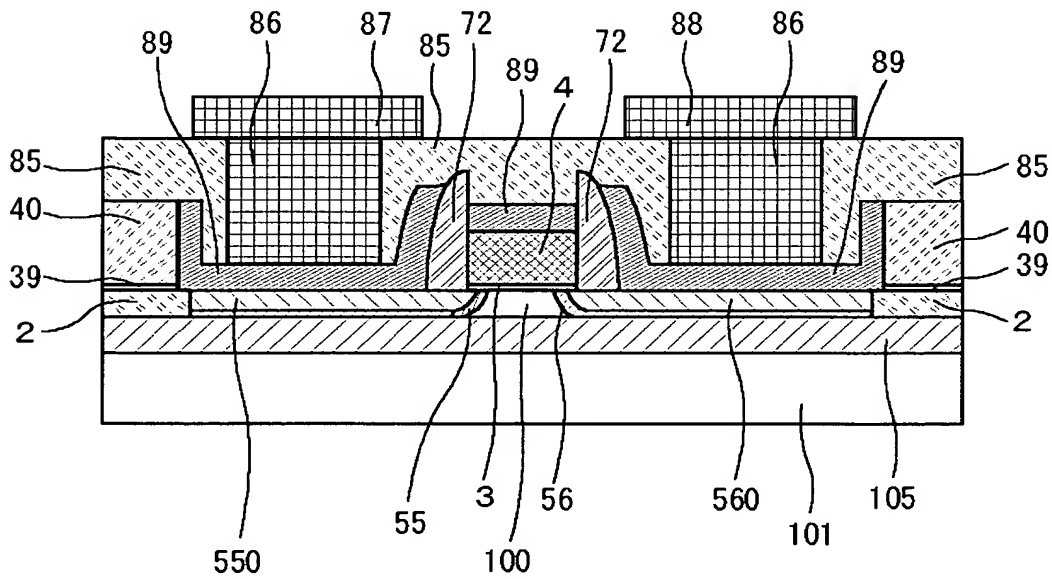
【図 19】

図 19



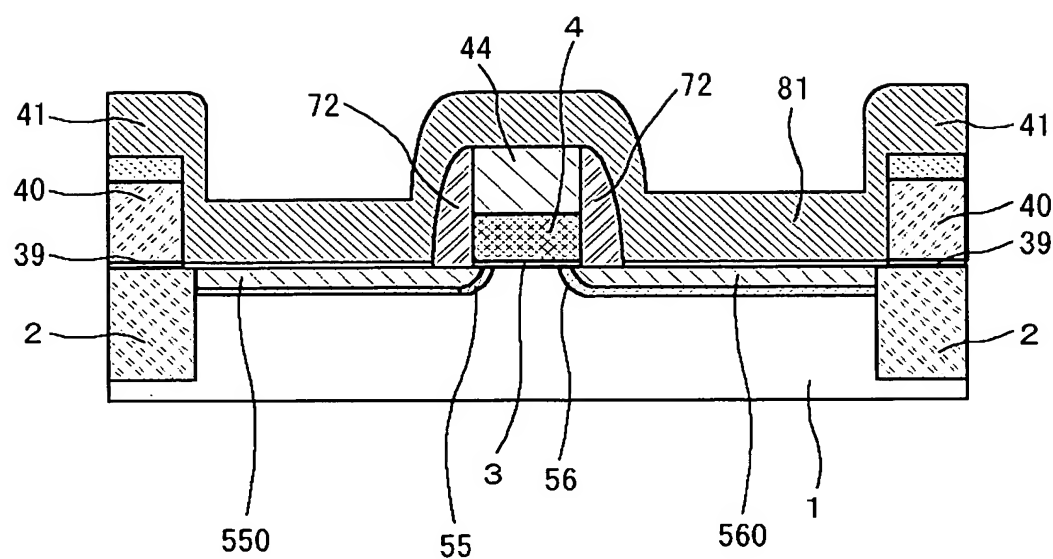
【図 20】

図 20



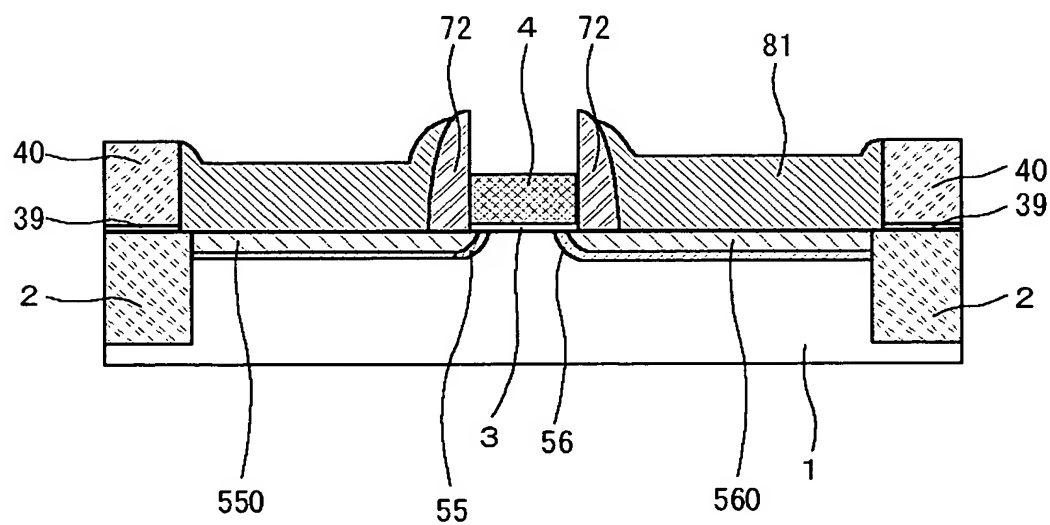
【図 2 1】

図 21



【图 2 2】

図 22

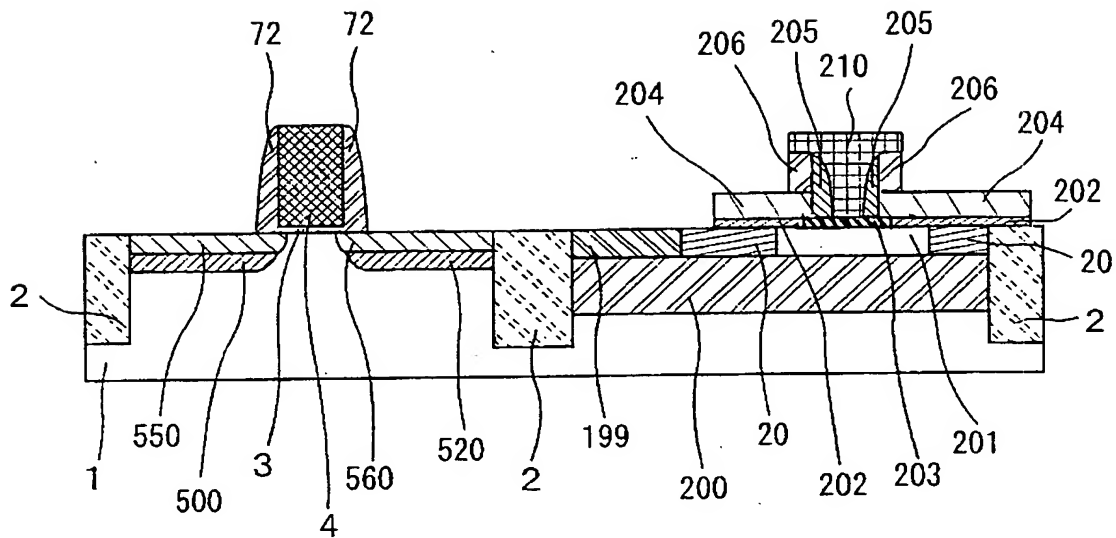






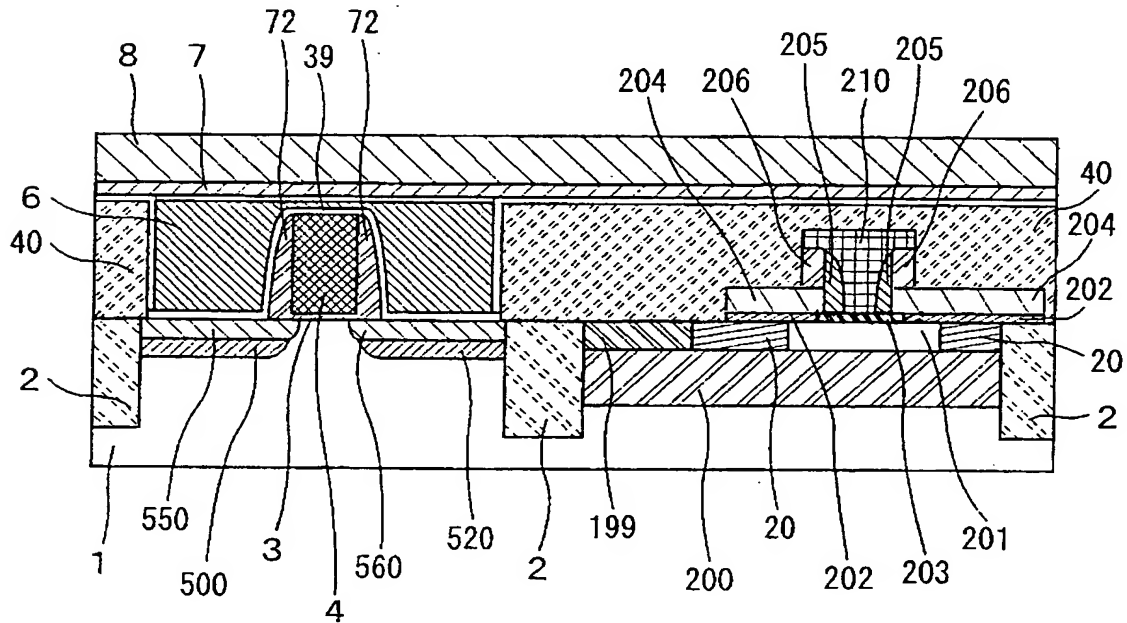
【図 25】

図 25



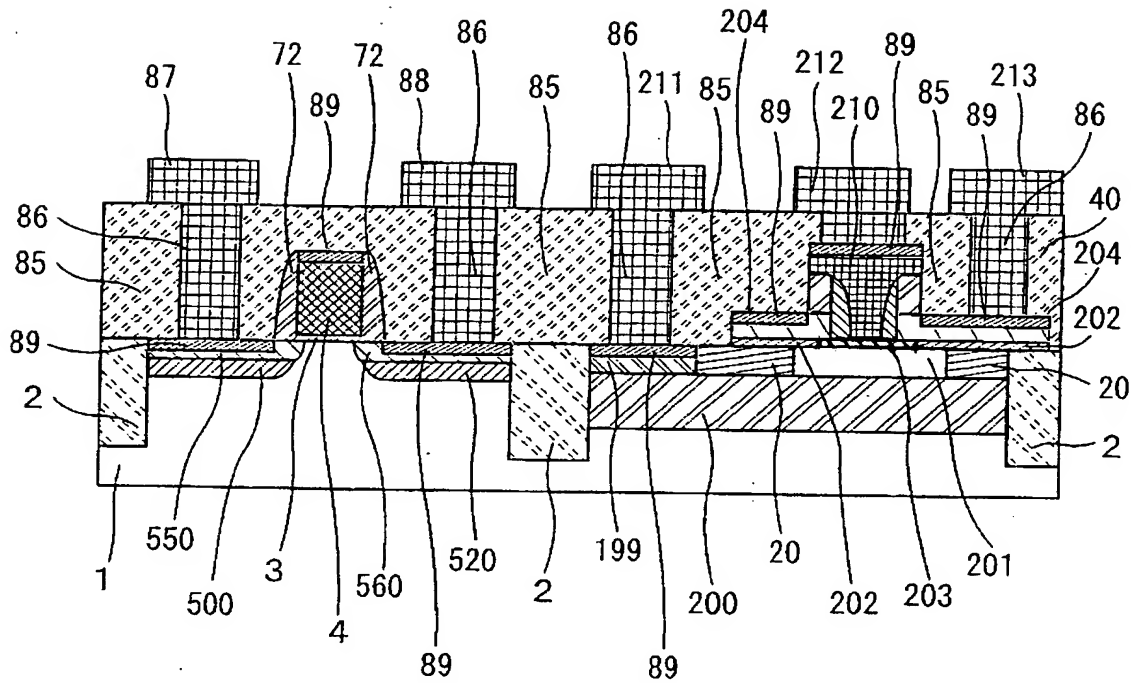
【図 26】

図 26



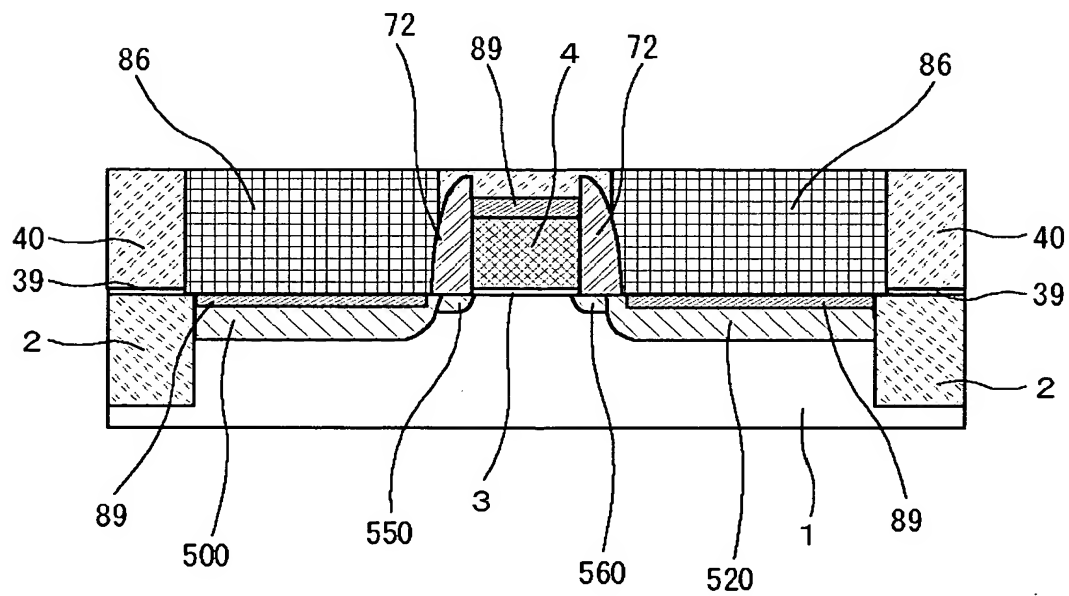
【圖 27】

図 27



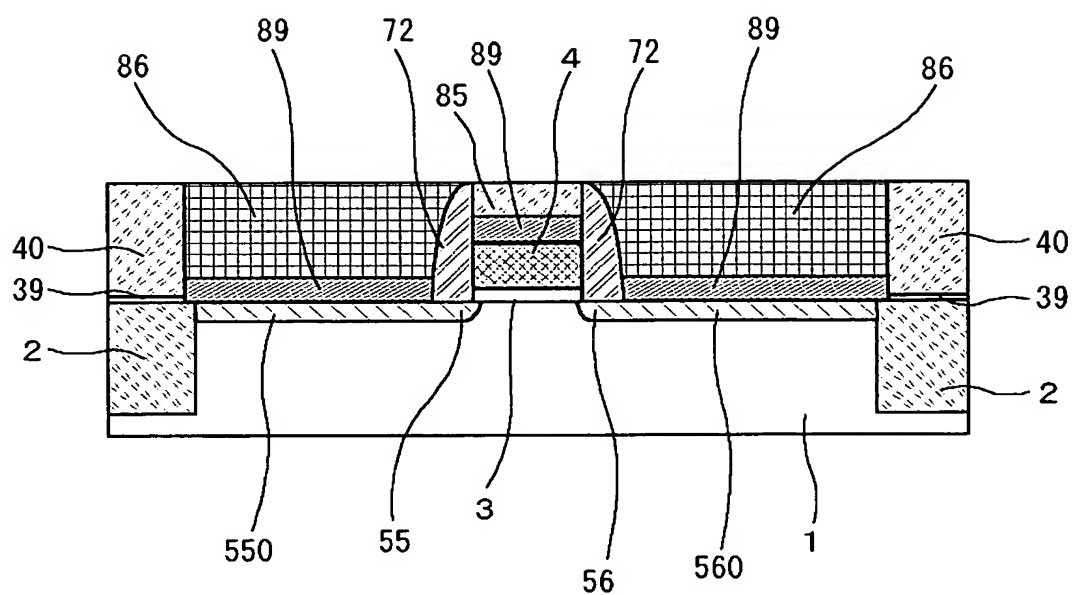
【図 28】

図 28



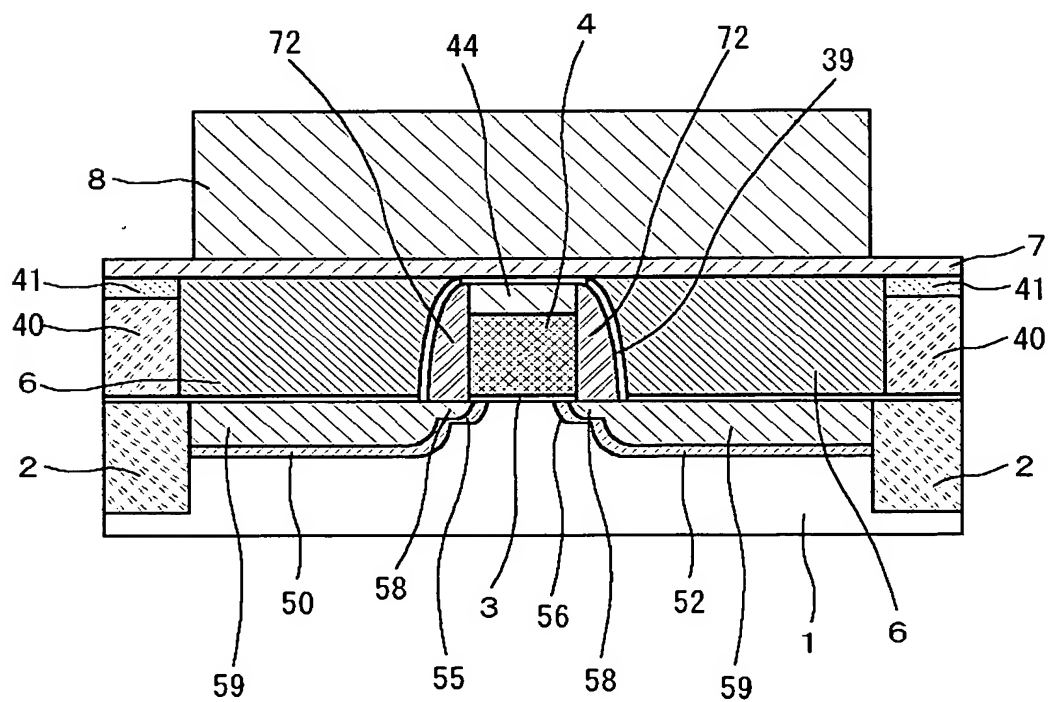
【図 29】

図 29



【図 30】

図 30





【書類名】 要約書

【要約】

【課題】

従来の固相成長では実現不可能な極浅矩形高濃度不純物分布によるソース・ドレイン拡散層をゲート電極に影響を及ぼすことなく液相成長により実現させ、超微細半導体装置の低消費電力、大電流化、および高速動作化を実現させる。

【解決手段】

Al を主たる構成原子とする絶縁膜がSi酸化膜とのエッチング選択比が極めて大きいことを利用し、ゲート電極を跨ぎゲート電極との短絡なしにソース・ドレイン拡散層全領域にわたる配線層とのコンタクトを可能とした。更にSiに対し減衰深さが深く、従ってSi自身が直接加熱され難い波長のレーザー光を用い、該レーザー光において、減衰深さの浅い金属膜を該コンタクト領域にのみ選択的に配置することによりSiを間接的に選択局所加熱し、拡散層のイオン注入非晶質領域のみを液相化することにより極浅矩形高濃度不純物分布のソース・ドレイン接合の形成を可能とした。

【選択図】 図1

特願 2 0 0 3 - 1 6 0 4 3 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地  
氏 名 株式会社日立製作所

特願 2 0 0 3 - 1 6 0 4 3 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 1 6 9 ]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ